

并联 SiC Cascode JFET

最佳实践

AND90327/D

范围

本文提供了 安森美 (onsemi) SiC cascode FET (碳化硅共源共栅场效应晶体管) 的应用信息, 以帮助用户通过并联以实现更大电流。内容包括 Cascode (共源共栅) 关键参数和并联振荡的分析, 以及设计指南。

简介

大电流操作通常需要直接并联功率半导体器件。出于成本或布局的考虑，并联分立器件通常是优选方案。另一种替代方案是使用功率模块，但这些模块实际上也是通过并联芯片实现的。本文总结了适用于所有并联电压栅控型功率半导体 (如 SiC cascode JFET、SiC MOSFET、Si MOSFET、IGBT 等) 的通用最佳实践方案。并联 Cascode 等高增益器件尤其具有挑战性。遵循这些实践方案有助于成功实现 SiC JFET cascode 的并联工作。

CASCODE 背景知识

如图 1 所示, cascode 结构是由一个常开 SiC JFET (碳化硅结型场效应晶体管) 与一个低压 Si MOSFET (硅金属-氧化物半导体场效应晶体管) 串联而成。JFET 的栅极直接连接到 MOSFET 的源极, JFET 的栅极电阻是 JFET 芯片的一部分。MOSFET 漏极-源极电压是 JFET 栅极-源极电压的反相, 从而使 cascode 结构呈现常关特性。正如《Cascode 入门》中所述, Cascode 与其他功率晶体管的主要区别在于, 一旦 V_{DS} 超过 JFET

的阈值电压，就没有栅极-漏极电容。这是因为 JFET 没有漏极-源极电容，因此 Cascode 结构的开关速度极快。这一特性与寄生电感问题相结合，是 Cascode 并联工作中需要解决的核心问题。

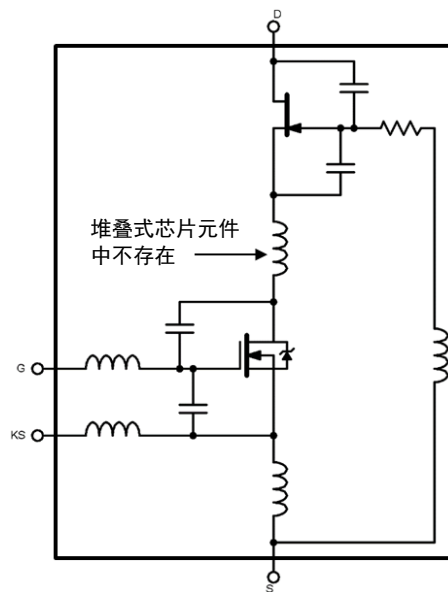


图 1. 带杂散阻抗的 Cascode 结构

并联的挑战

静态电流失配

静态电流失配是指并联器件在开关瞬态稳定后，并联器件之间的电流不匹配现象。对于具有热不稳定性(如负温度系数导通电阻的旧式硅二极管或穿通型 IGBT) 的器件尤其值得关注。如果各个器件导通电阻的变化(分布) 足够小(即经过分选的器件)，并且为了弥补不可避免的电流失配而留有裕量，则具有负温度系数的器件可以成功并联。

有一个广为流传的误解，认为正温度系数导通电阻能强制均流，从而有利于并联。实际上，正温度系数仅确保热稳定性。现代功率半导体(包括 SiC JFET、SiC MOSFET、场截止 IGBT 等) 的参数分布较窄，这进一步强化了人们对于正温度系数在均流方面具有强大作用的想法，但决定静态均流的是参数分布和共同的散热装置。

动态电流失配

动态电流失配是由 MOS 栅控器件和 JFET 器件固有的器件间阈值电压变化、电流环路的不对称性以及栅极驱动器之间传播时延差异(如果适用的话) 所引起的。阈值电压较低的部件会较早导通、较晚关断，因此会产生更多的硬开关损耗。在开关频率非常高的情况下，这种情况更加令人担忧。



图 2. 阈值电压失配导致的动态电流失配

图 2 显示了两个并联 cascode 电路在导通时的动态失配。电流失配迅速减小是典型的现象，因为稳态均流主要由 $R_{DS(on)}$ 决定。在计算中，使用数据表中 $R_{DS(on)}$ 和 $R_{\theta JC}$ 的最大值，可以为并联时的静态和动态电流失配提供安全裕量。

并联振荡

对于高增益、快速开关器件来说，并联振荡可能是一个问题。由于 SiC JFET cascode (简称 cascode) 内部有两个有源器件：一个低电压 Si MOSFET 和一个 SiC JFET，因此这尤其令人担忧。持续的并联振荡(如图 3 所示) 可能会因开关损耗过高而导致器件失效。使用示波器很难观察到振荡。波形可能看起来很好，但在几个开关周期内就会开始振荡。造成这种情况的原因有很多，例如负载电流、电压和温度的变化。主要原因是 cascode 的快速开关，尤其是在大电流时更易发生，此时 di/dt 和 dv/dt 的速度会更快。

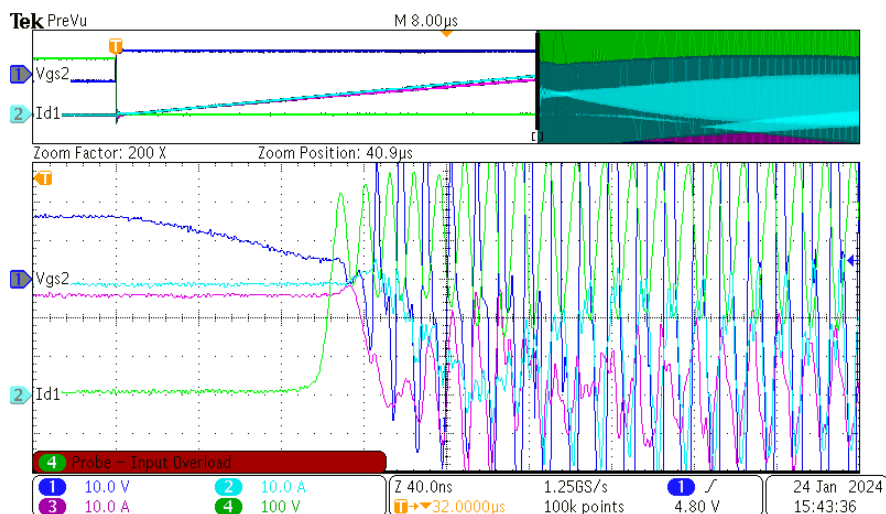


图 3. 双脉冲测试期间两个并联 Cascode 进入持续并联振荡状态

尽管很复杂，但分析具有 Kelvin 源引脚的两个并联 cascode 的工作情况还是很有用的，包括相关的电容和

电感，如图 4 所示。TO-247-3L 和 D2Pak-3L 封装没有 Kelvin 源引脚，这种情况将在后面讨论。

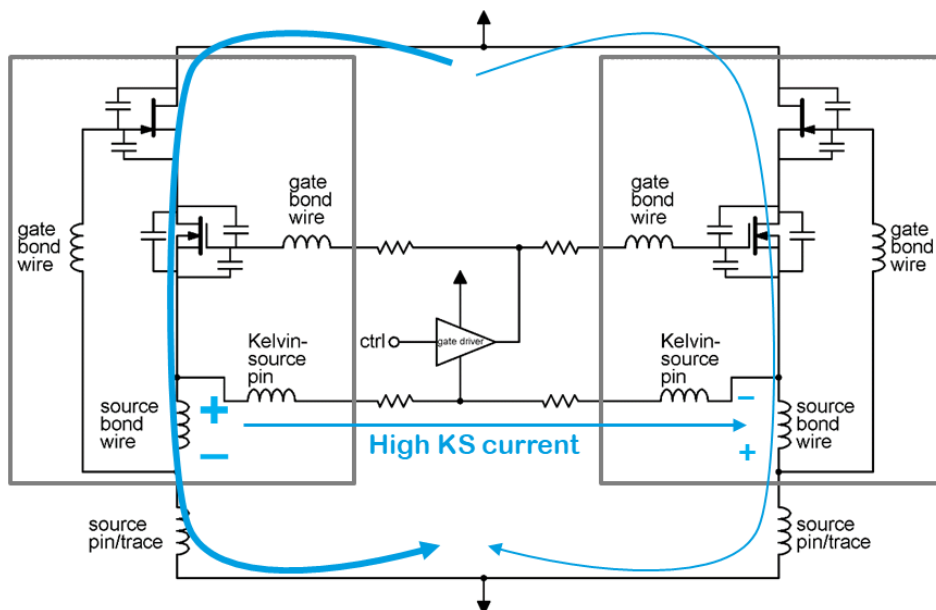


图 4. 两个并联 Cascode 在动态电流失配的情况下导通

如前所述，由于阈值电压的变化，动态电流失配实际上几乎是不可避免的，而且电路布局的不对称性可能会加剧这种情况。在图 4 中，我们可以想象有两个 cascode 导通，左边的 cascode 导通时间比右边的稍早。左侧 cascode 中的较大电流会导致左侧源极电感

两端产生较高的电压。在极端情况下，右侧 cascode 的电流可能会暂时反向流动。无论情况如何，源极电压失配会诱导电流流经 Kelvin 源连接，如图 4 和图 5 所示。

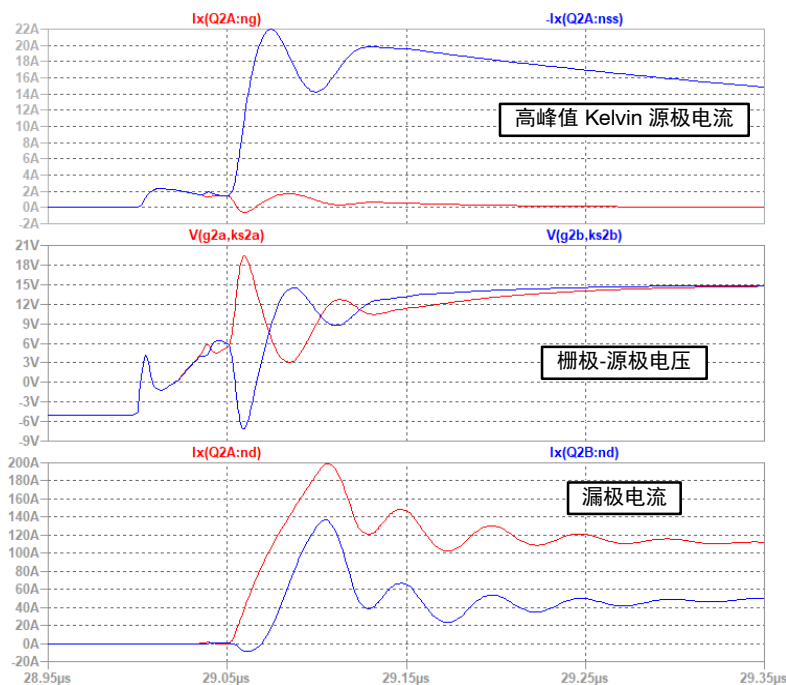


图 5. 顶部图表：Kelvin 源极电流大大超过栅极电流。中间和底部图表：每个 Cascode 的 V_{GS} 和 I_D

图 5 显示了两个并联 UF3SC120009K4S 带电感负载硬开关导通的仿真结果。每个器件都有一个 680 pF 加 4.7 Ω 的漏极-源极缓冲电路 (snubber)。一个 cascode 的 JFET 和 MOSFET 的阈值电压比典型值低 10%，而另一个则比典型值高 10%，从而导致动态电流失配。尽管这种情况可能发生，但概率较低。这里没有增加额外的 Kelvin 源阻抗。顶部图表显示的 Kelvin 源电流峰值大大超过 cascode 栅极电流。理想情况下，栅极电流和 Kelvin 源电流在幅度上是相等的 (差分)。中间图形中的 cascode 栅极-源极电压显示出异相振铃，这是栅源电压不平衡的一个典型特征，在某些情况下会演变为持续的、破坏性的并联振荡。图 5 的底图显示了漏极电流的失配，这种不匹配最终导致了 Kelvin 源极电流的增大。动态电流失配会稳定在接近零的状态。

源极和/或漏极电感不匹配也会导致动态失配。当这种情况与阈值电压的随机变化相结合时，可能会随机产生并联振荡，尤其是在使用 cascode 电路时，因为 JFET 和 MOSFET 的阈值电压变化都会导致动态电流失配。

一个看似简单的解决方案是将所有栅极环路电阻移动到每个 Kelvin 源连接处，或者在使用不同的导通/关断电阻时尽量这样做，如图 6 (b) 所示。然而，这可能会导致持续振荡。为什么会这样呢？增加 Kelvin 源电阻确实可以减少峰值 Kelvin 源电流。然而，考虑到进出 cascode MOSFET 栅漏电容的电荷是通过 cascode 的栅极电阻。栅极电阻越小，栅极电流峰值越高，MOSFET 的 dV_{DS}/dt 峰值越高，JFET 的 dV_{GS}/dt 峰值也就越高。此外，栅极电阻为 MOSFET 输出电容 - 源

极电感及其他 LC 谐振电路提供了阻尼。如果将所有栅极环路电阻移到 Kelvin 源连接处，则会移除 cascode MOSFET 栅极的阻尼，加上栅极电流与 Kelvin 源电流之间的巨大不匹配，这些因素结合起来会导致振荡。

如何实现栅极阻尼最大化，同时最小化栅极电流与 Kelvin 源极电流的失配？首先，我们将每个 cascode 的栅极电阻留在栅极连接中，而不是留在 Kelvin 源极连接中。我们需要最大限度地提高每个栅极的阻尼，不应使用公共栅极电阻，见图 6 (a)。将所有栅极电阻置于每个 cascode 栅极连接中。并根据[用户指南](#)推荐的栅极电阻值进行初步测试。其次，我们可以在栅极和 Kelvin 源极连接处添加共模电感 (common-mode choke, CMC) 或差分耦合电感，如图 7 (a) 所示。这将使栅极和 Kelvin 源极电流大小更加匹配。实验表明，在 10 MHz 频率下，CMC 阻抗至少为 100 Ω (如 Pulse AWCU00453226223TT2 或 Bourns SRF4530A-220Y 或类似产品) 时，可消除持续振荡。具体参数无需严格限定，特别是因为 CMC 对延迟时间没有影响。第三，并联时必须安装缓冲电路。除了降低开关压摆率外，缓冲电路还能通过缓冲电阻抑制振铃。因此，增加缓冲电路可大大降低振荡的可能性。最后，尽可能依靠缓冲电路来设定开关速度，以最小化栅极电阻。这与直觉相反，但在《cascode 入门》中已有解释。用户手册推荐的栅极电阻值为实现干净开关的最小值。并联器件可以共享一个共用的缓冲电路，或者每个 cascode 都有独立的缓冲电路。重要的是保持布局对称性，并使缓冲电路连接的电感最小化。

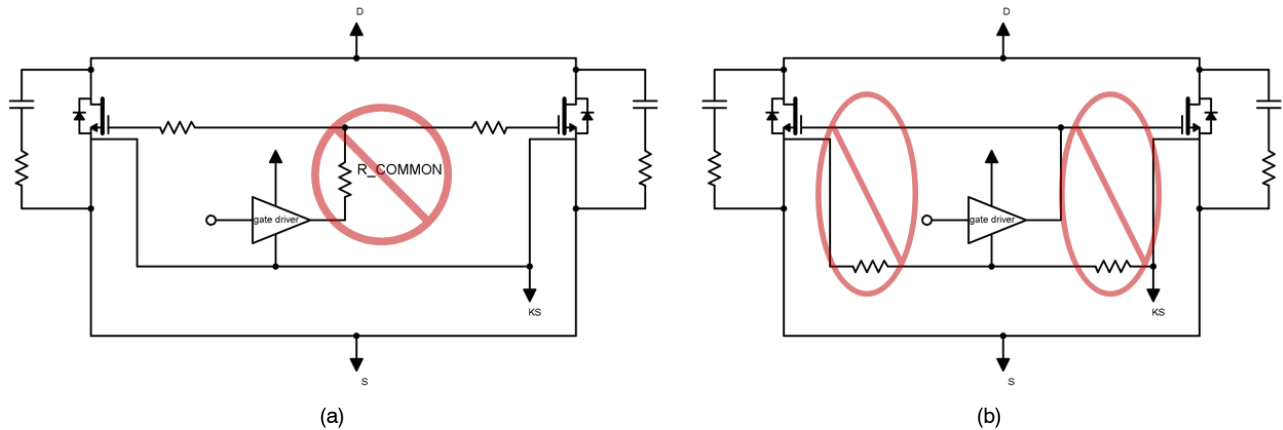


图 6. 并联时应避免的事项

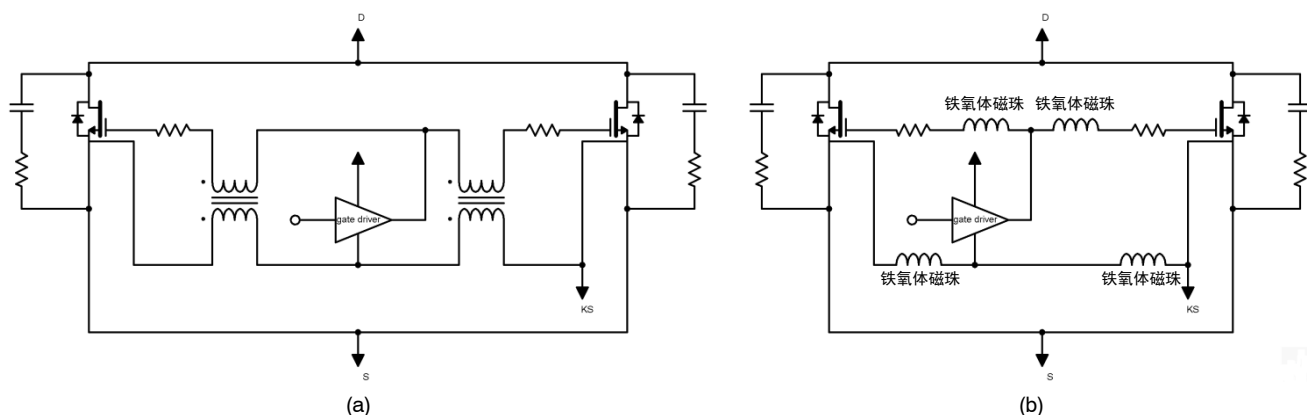


图 7. 建议的 Kelvin 源并联方法

对于共模电感来说，布线是一项挑战。而铁氧体磁珠则非常小巧，更容易安装在狭小的电路板布局中，如图 7 (b) 所示。与 CMC 一样，每个 Kelvin 源极和栅极连接中的铁氧体磁珠都能避免振荡。但与 CMC 不同的是，铁氧体磁珠会导致延迟时间明显增加。推荐的阻抗范围是在 100 MHz 下 70 到 400 Ω ，如 Bourns MU2029-301Y。与添加 CMC 一样，除了在栅极连接中使用常规的栅极电阻外，在 Kelvin 源极和栅极连接中使用铁氧体磁珠也能防止振荡。

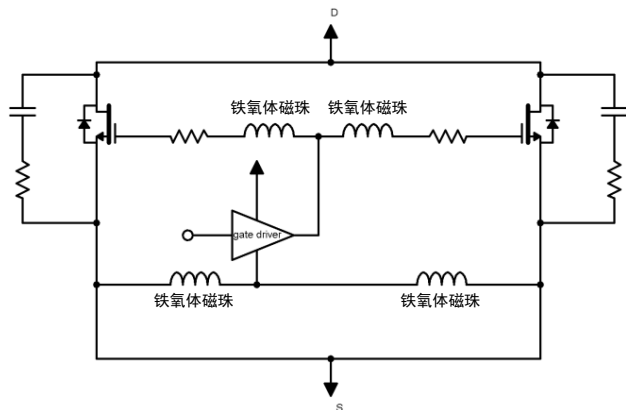


图 8. 建议的无 Kelvin 源并联方法

无 Kelvin 源引脚的器件

不带 Kelvin 源引脚的器件也可以并联。但一般来说，最好并联带有 Kelvin 源引脚的器件，因为消除了部分栅极驱动环路中的负载电流，可大大降低栅极振铃。在没有 Kelvin 源引脚的情况下，建议在栅极和栅极驱动返回连接到每个 cascode 源时，都安装一个铁氧体磁珠，如图 8 所示。此图仅为概念图。根据栅极驱动器的不同，在使用负关断电压时，栅极驱动环流可能会连接到栅极驱动电源，而不是直接连接到栅极驱动器。

其他设计技巧

如前所述，cascode 通常需要使用缓冲电路，并联时尤其需要。漏极-源极缓冲电路可降低开关压摆率，从而减少产生振荡的可能性。更多信息，请参阅[《用户指南》](#)。

直流母线电容和去耦电容必须靠近 cascode，以尽量减少电感。建议在 cascode 旁边安装表面贴装陶瓷电容 (直流母线)，并配合使用大容量薄膜电容器和/或铝电解电容 (作为去耦电容)。对称电源布局非常重要。当大电流 (例如大于 100 A) 和高 di/dt 压摆率时，磁场可能“推动”相邻器件及导体中的电流偏向一侧，从而引发电流失衡及其他与噪声相关的干扰问题。

靠近栅极驱动器及其电源的地方必须有足够的旁路电容；此处电容不足会导致振荡。建议使用表面贴装陶瓷电容器。

栅极走线可以较长，而且由于我们处理的开关频率一般不在 MHz 范围内，因此即使走线的长度不同也不会有影响。不过，栅极走线必须屏蔽，最好在相邻电路板层上设置电源层。切勿让栅极走线跨越电源层边界。

演示和测试结果

根据上述指南设计了一个演示板，并显示了四个器件的测试结果：

- UJ4SC075006K4S
- UJ4C075023K4S
- UF3SC120009K4S
- UF3SC120016K4S

演示板设计

图 9 显示了演示和测试板，其中包括一块并联了两个器件的半桥拓扑电源板和一块栅极驱动器板。

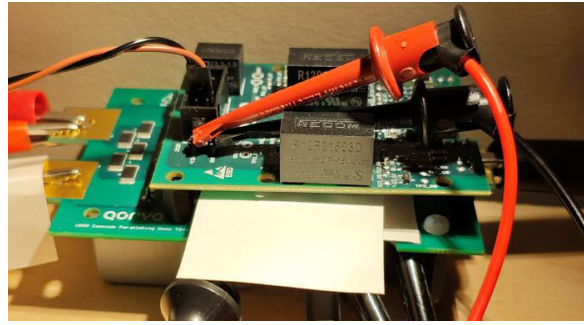
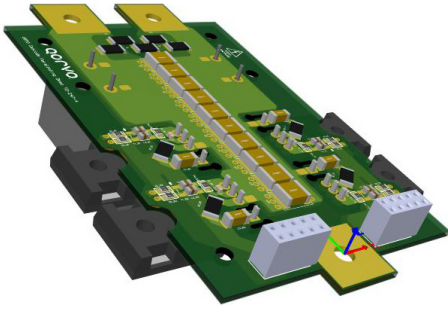


图 9. 演示和测试板图片

本设计示例遵循功率环路和栅极驱动电路的对称布局建议。同时，直流母线电容和去耦电容采用对称布局以最小化换流环路。

图 10 和图 11 展示了该演示设计的原理图，其中使用了铁氧体磁珠和共模电感(可选)用于研究不同条件下的效果。

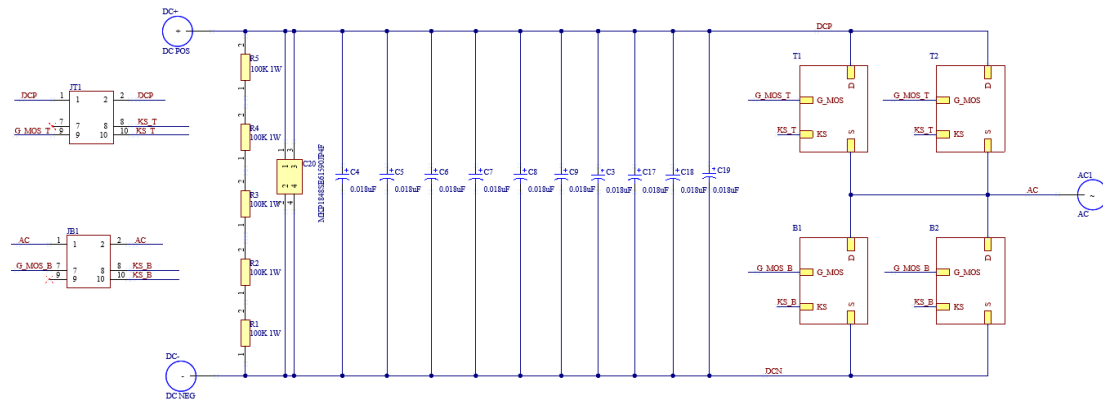


图 10. 演示电路设计示意图

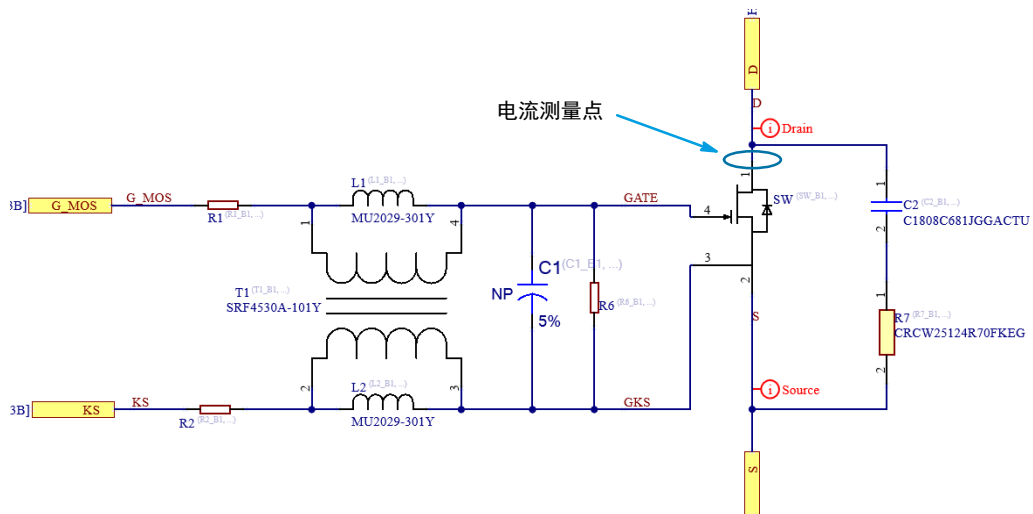


图 11. 演示电路设计示意图

图 12 显示了电源板的 PCB 布局：

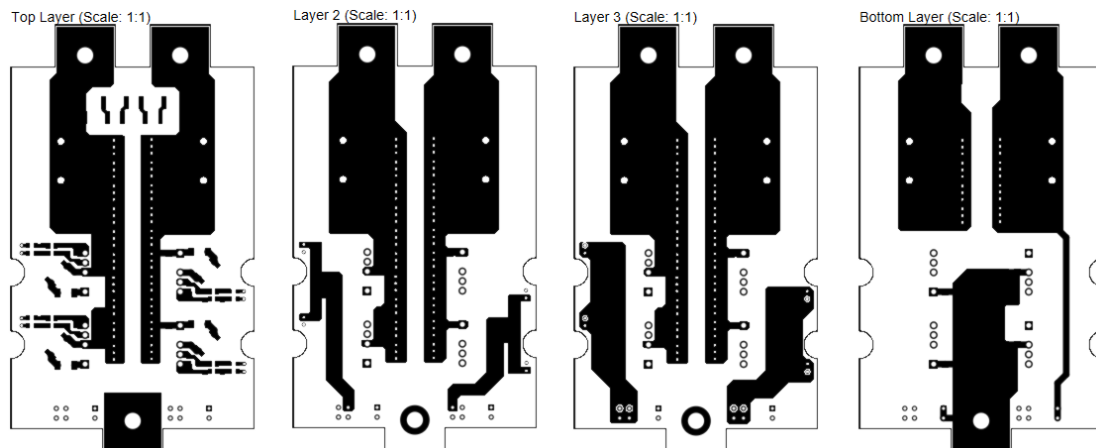


图 12. 演示电源板 PCB 布局

图 13 展示了器件 RC 缓冲电路与栅极驱动电路布局的示例设计，该设计的核心要点在于尽可能缩短 RC

缓冲电路与功率器件的距离，并对并联器件的栅极驱动电路采用对称布局。

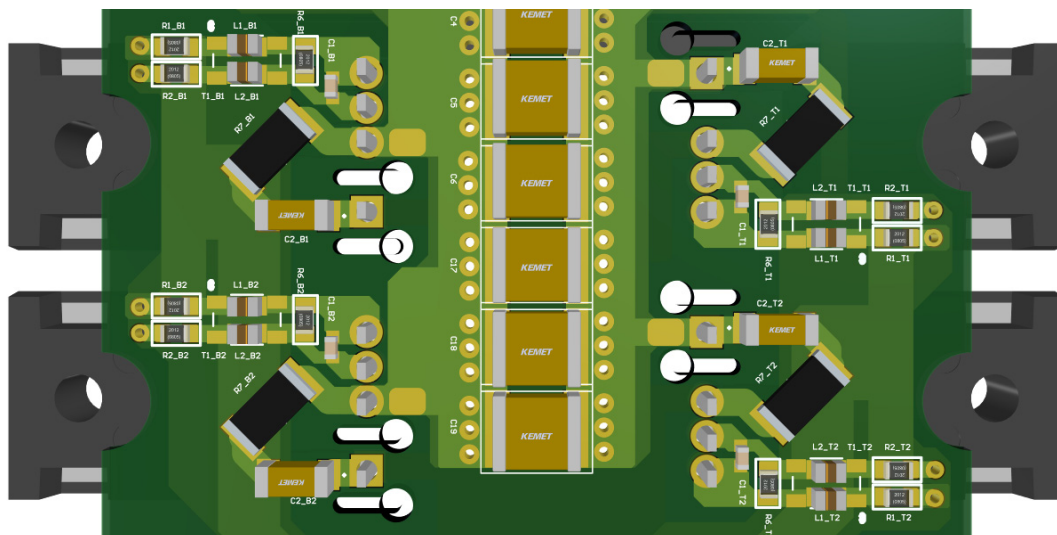


图 13. RC 缓冲电路和栅极电路布局示例

测试结果

图 14 至图 17 显示了该示例设计的 SiC FET 并联测试结果，栅极和 Kelvin 源极上都有铁氧体磁珠。

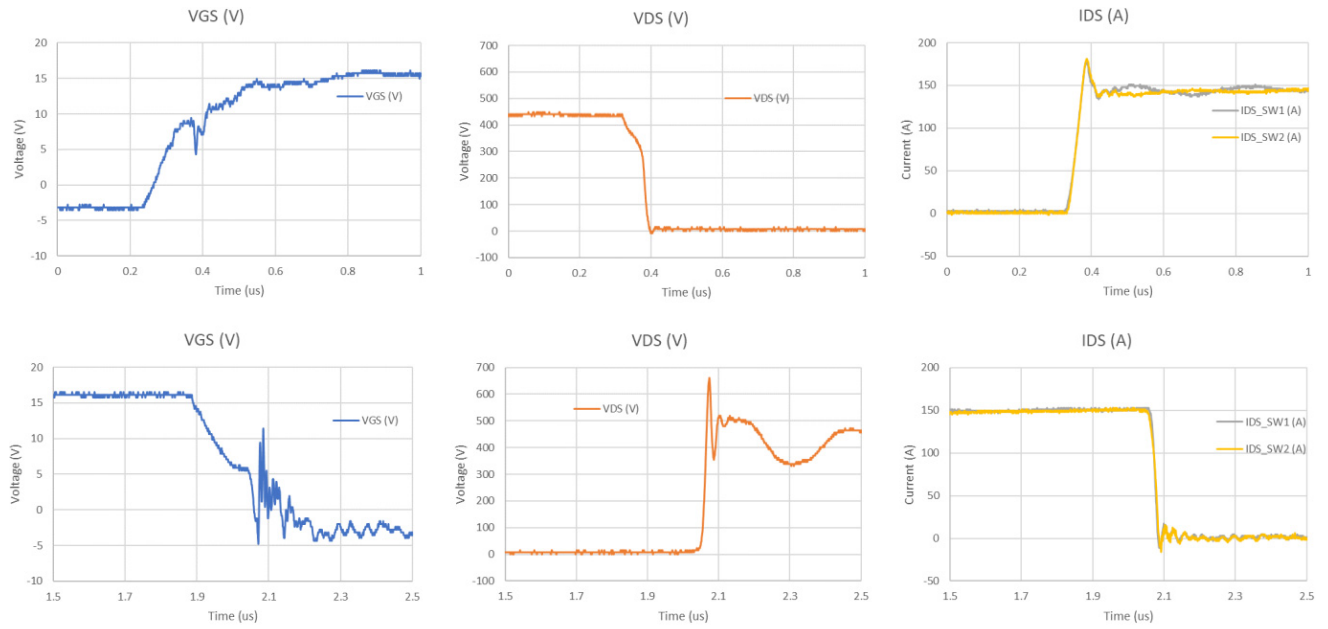


图 14. 开关波形 – UJ4SC075006K4S

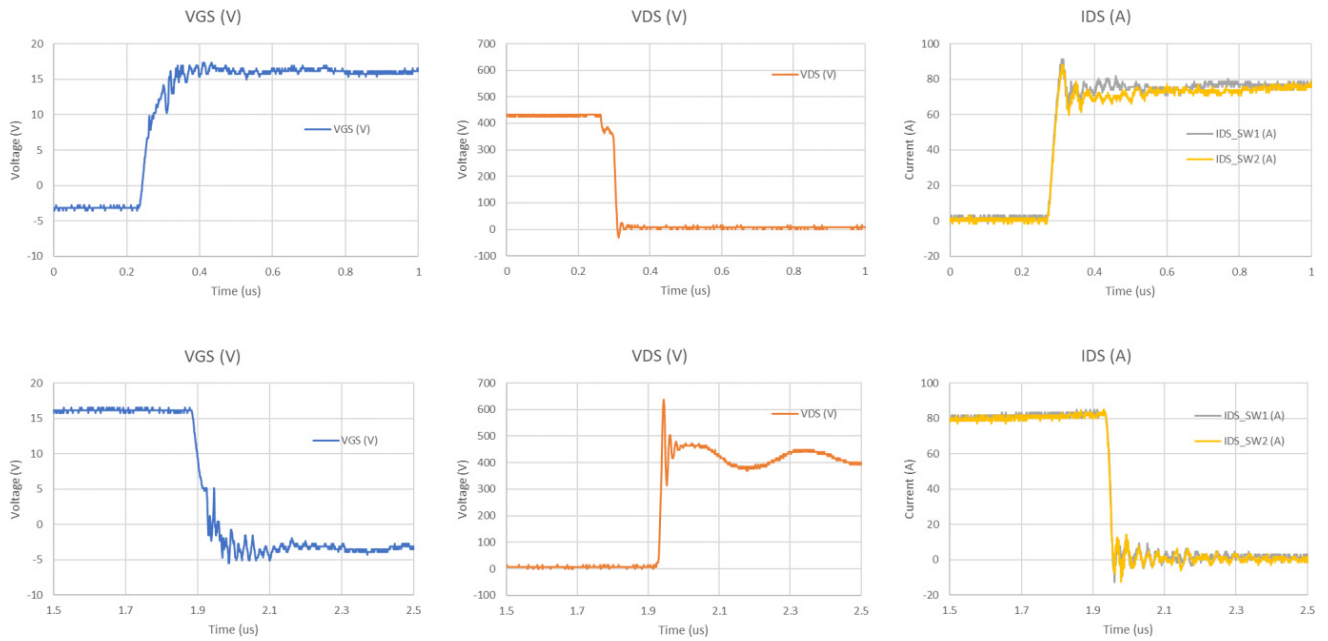


图 15. 开关波形 – UJ4C075023K4S

AND90327/D

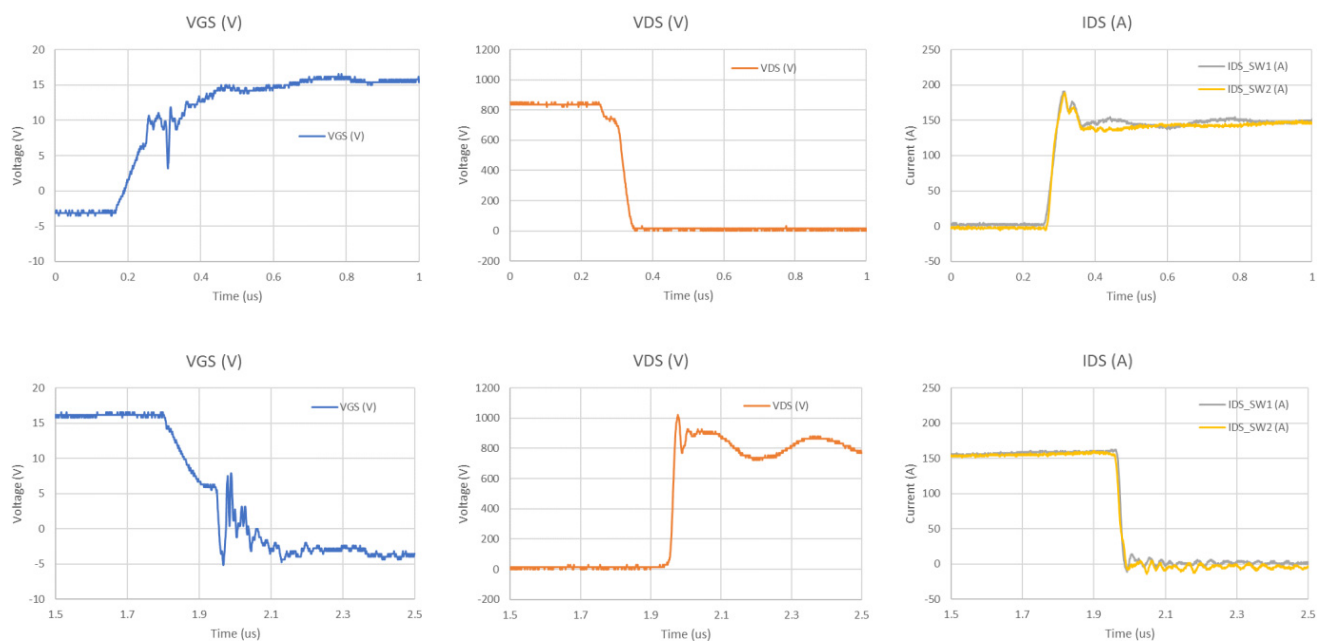


图 16. 开关波形 – UF3SC120009K4S

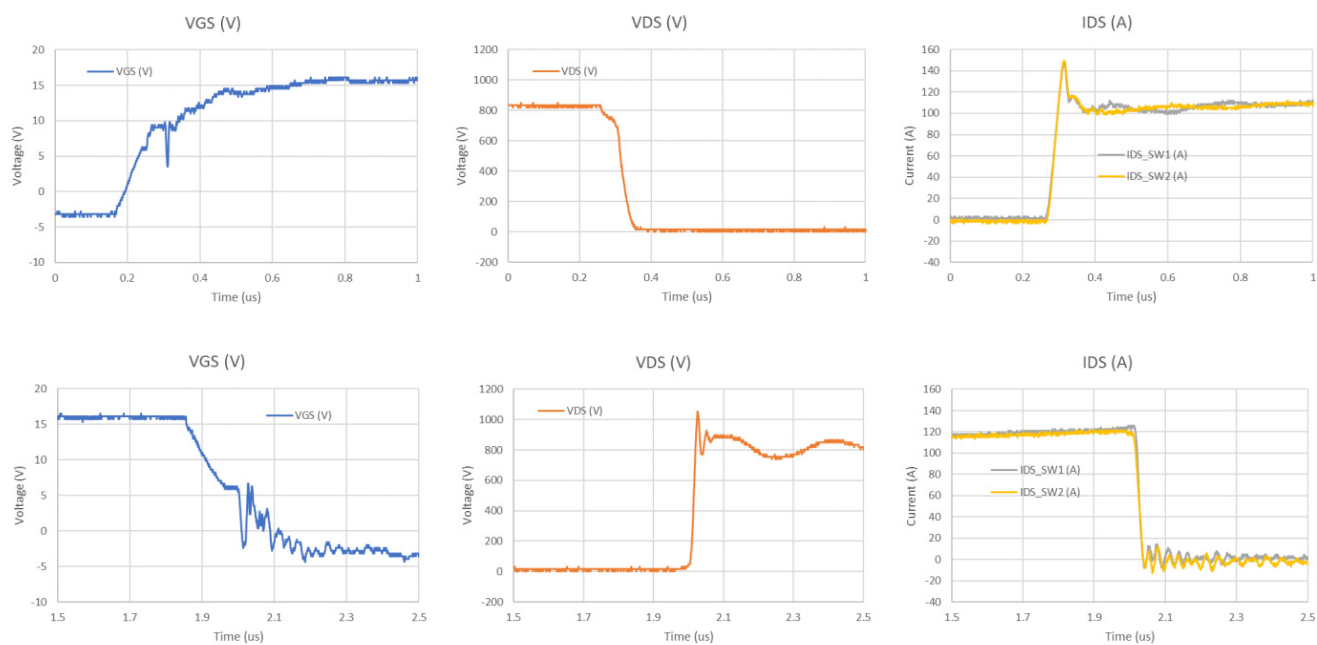


图 17. 开关波形 – UF3SC120016K4S

仿真栅极阈值失配

通常，由于各器件的实际参数与数据手册标称值之间存在差异 (即便差异微小)，此类失配现象不可避免。因此，为了测试铁氧体磁珠和共模电感在栅极电路上的有效性，在基于 UJ4SC075006K4S 器件搭建的

测试平台中，通过改变单个栅极电阻值 (一个为 6.8 欧姆，另一个为 6.2 欧姆) 来仿真栅极阈值电平失配状态。图 18 至图 22 显示了采用不同措施缓解仿真栅极阈值失配的波形图。

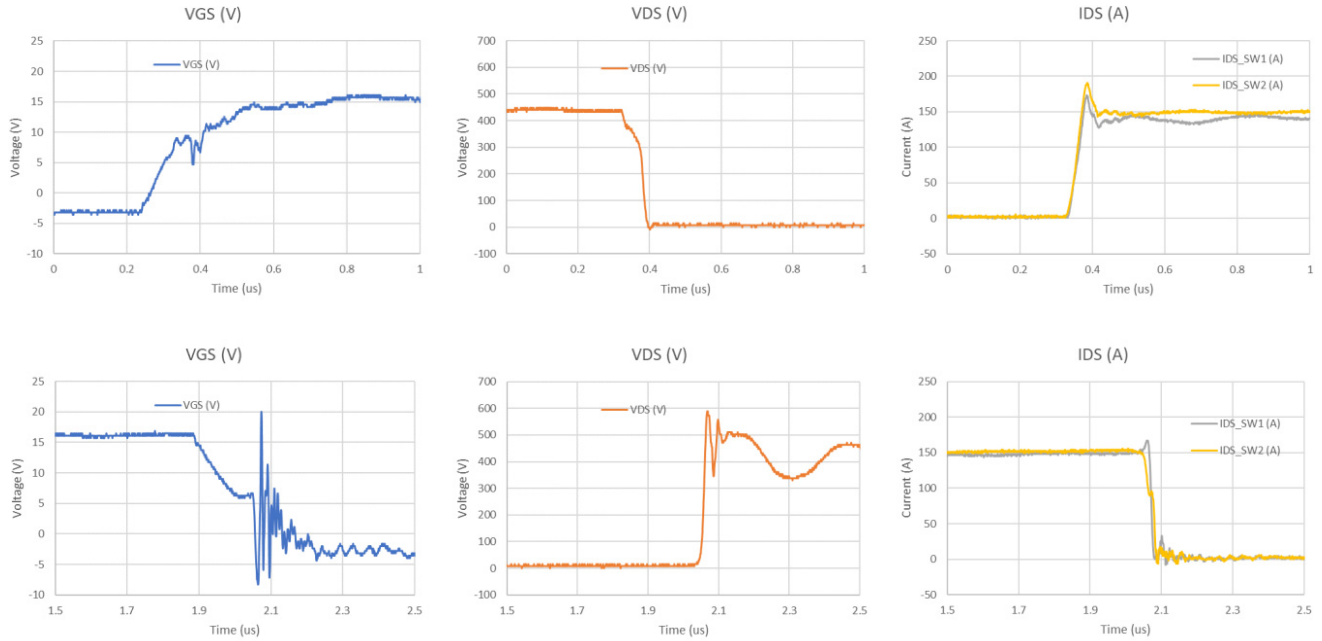


图 18. 通过改变栅极电阻来仿真栅极阈值失配 (未使用铁氧体磁珠)

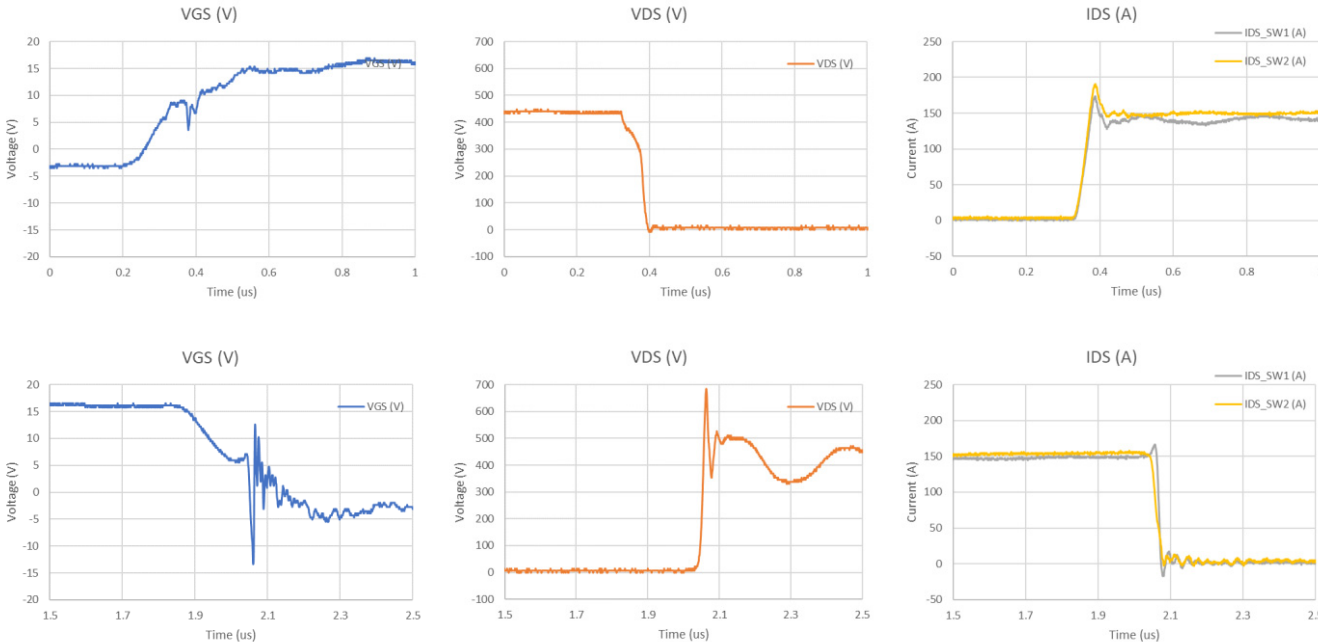


图 19. 栅极上有铁氧体磁珠的波形

AND90327/D

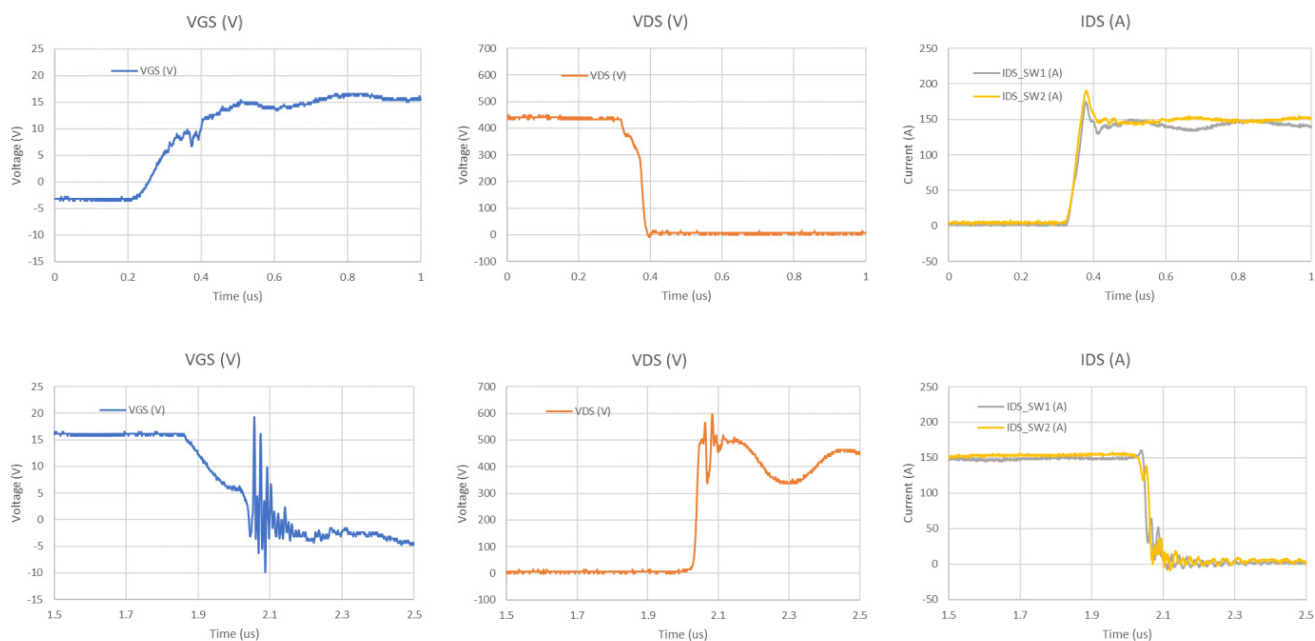


图 20. Kelvin 源上有铁氧体磁珠的波形

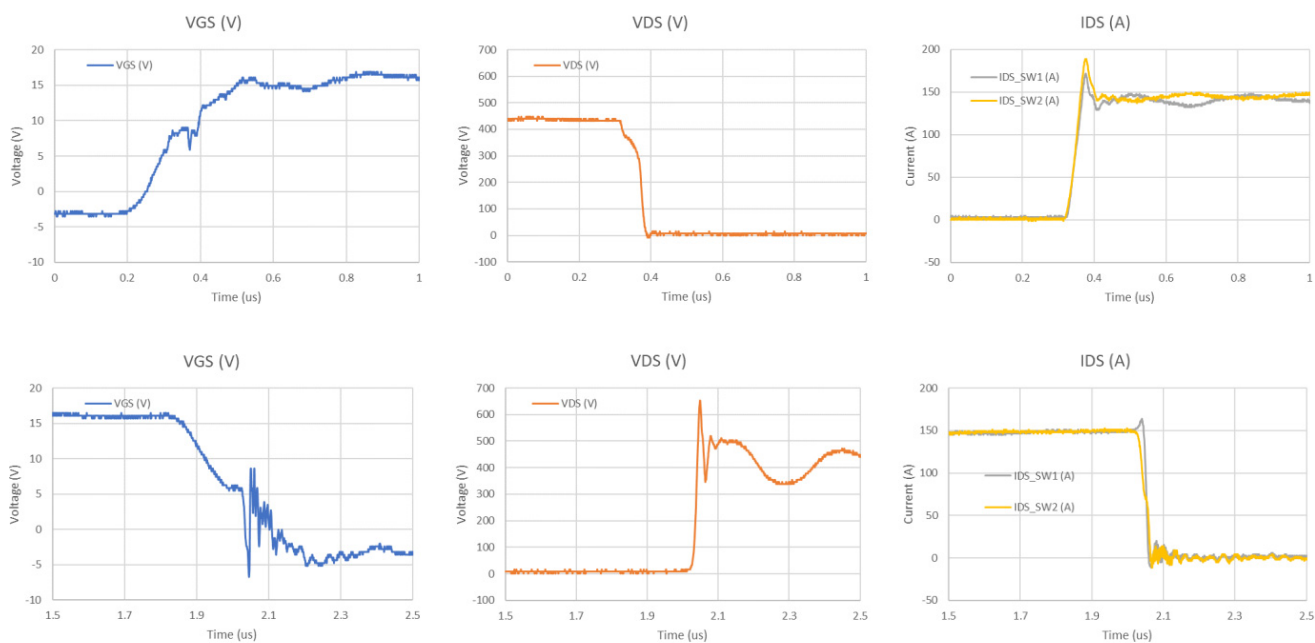


图 21. 栅极和 Kelvin 源极上均有铁氧体磁珠的波形

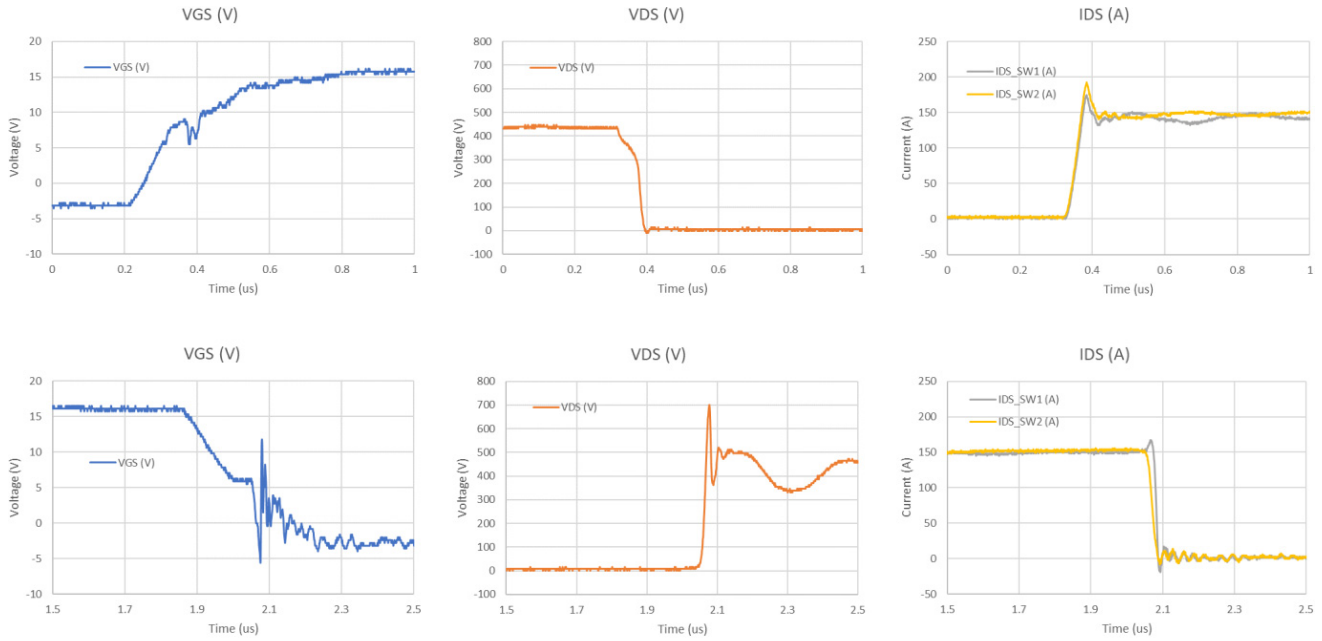


图 22. 栅极电路上有共模电感的波形

从上述测试结果可以看出，当器件出现不可避免的栅极阈值失配时，栅极电路上的共模电感是减轻 V_{GS} 和 V_{DS} 负面影响的最佳方法。

仿真布局导致的失配

对称布局同样是并联器件设计的关键要点，因为非对称布局会导致不同支路的漏极走线电感 (L_d) 与源极走线电感 (L_s) 产生差异，进而引发动态电流失配或瞬态振荡。此外，去耦电容 (C_d) 在布局中的位置是否对称也是影响因素之一。因此，为验证铁氧体磁珠与共模电感在栅极电路上的作用，我们以 UF3SC120009K4S 为基础，通过改变漏极/源极引线的长度来仿真失配的 L_d/L_s 布局，并对比了不同 C_d 布局位置的影响。图 23 展示了 L_d 、 L_s 及 C_d 的布局位置分布，图 24 至图 28 则展示了通过不同优化措施减轻非对称布局负面影响的波形对比。

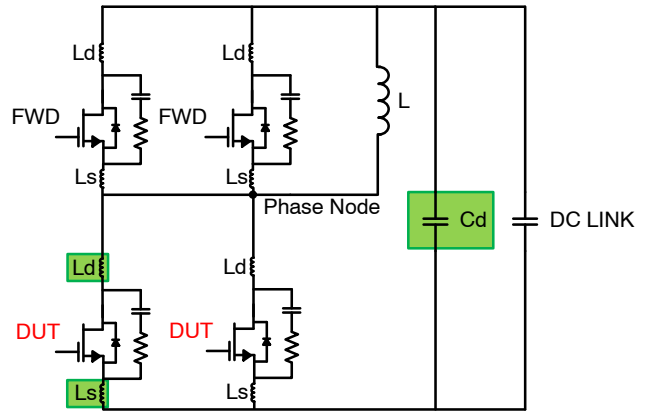


图 23. L_d 、 L_s 和 C_d 的位置

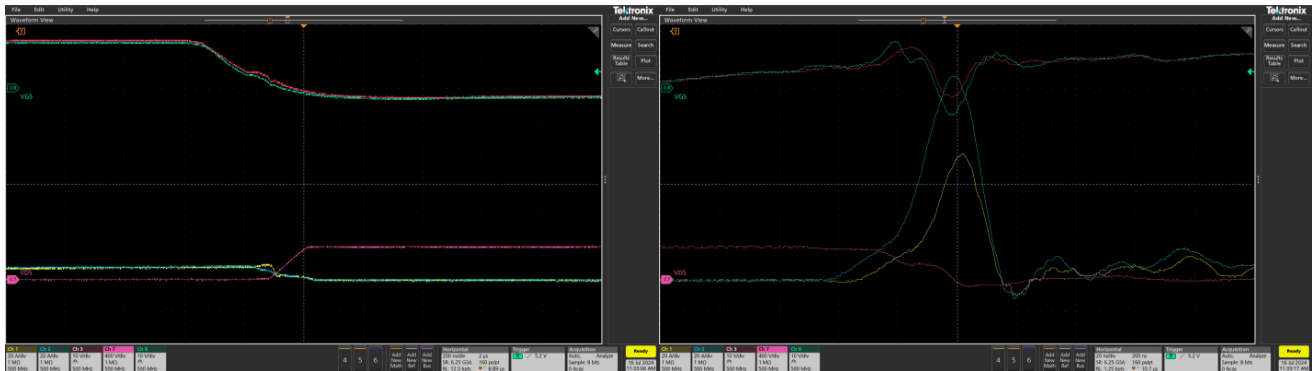


图 24. 栅极和 Kelvin 源上均有铁氧体磁珠的 L_d 不平衡波形 (直流母线 400 V, $I_D = 8$ A)

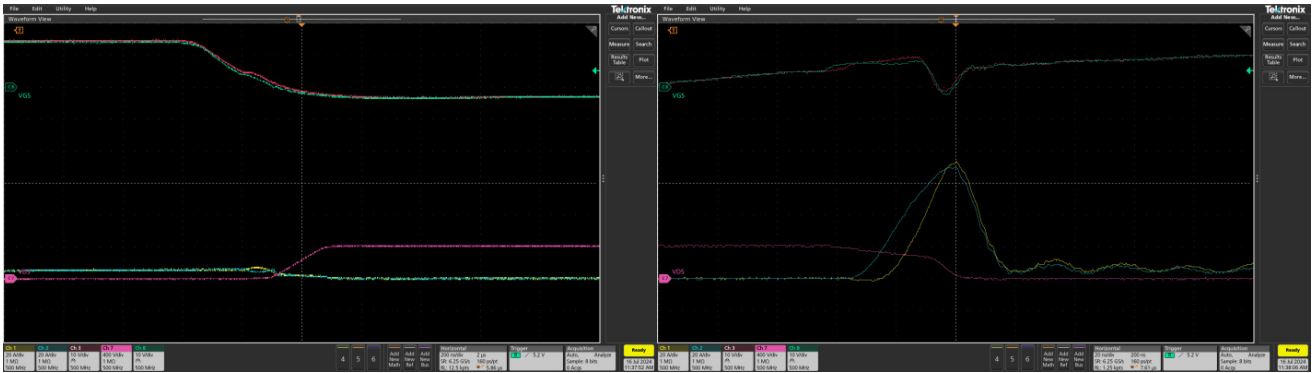


图 25. 栅极和 Kelvin 源上均有铁氧体磁珠的 L_s 不平衡波形 (直流母线 400 V, $I_D = 6$ A)

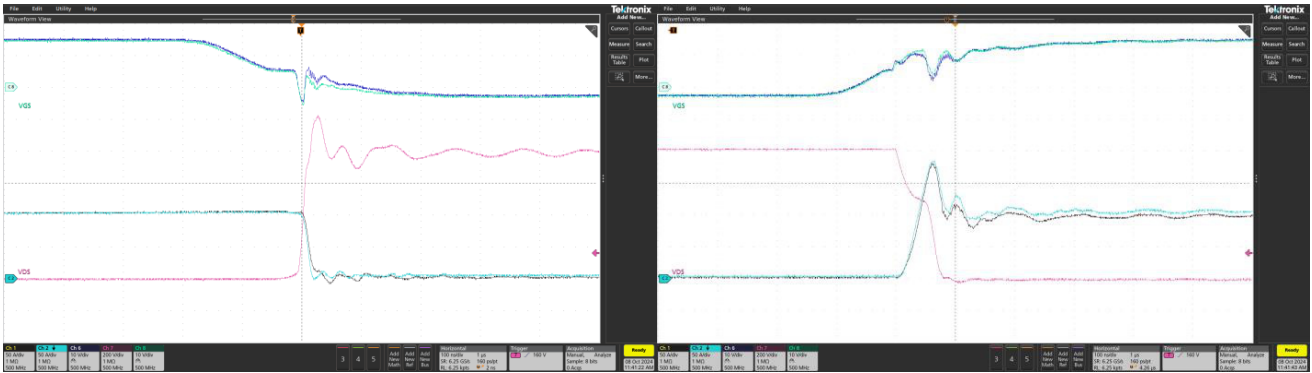


图 26. Cd 在不对称位置, 栅极和 Kelvin 源上都有铁氧体磁珠的波形 (直流母线 800 V, $I_D = 100$ A)

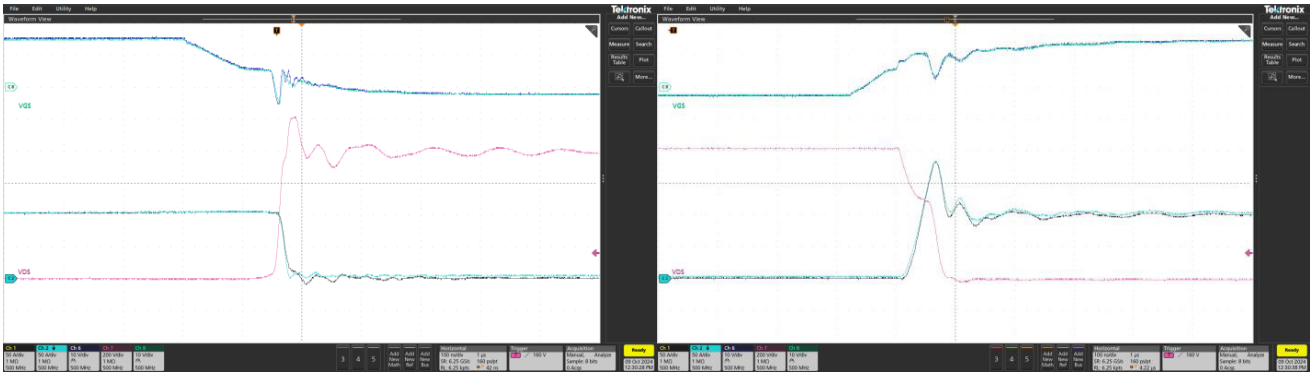


图 27. Cd 在不对称位置, 栅极和 Kelvin 源上均有共模电感的波形 (直流母线 800 V, $I_D = 100$ A)

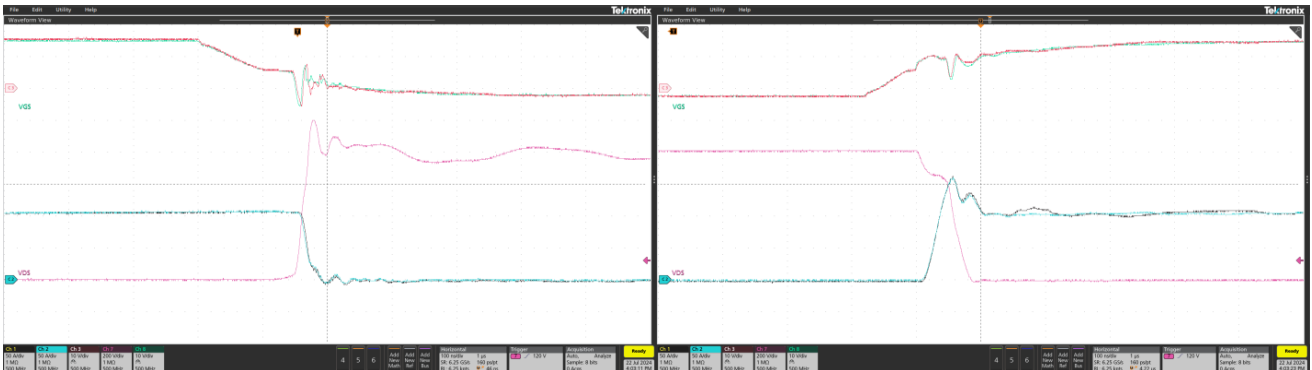


图 28. Cd 在对称位置, 栅极和 Kelvin 源上均有共模电感的波形 (直流母线 800 V, $I_D = 100$ A)

图 24 展示了由严重不平衡的 L_d 所导致的大动态电流失配。 L_d 不平衡问题只能通过对称的布局设计本身来解决。图 25 显示了由 L_s 不平衡引起的动态电流失配。为避免器件损坏，本测试中我们未设置过大的 L_s 不平衡，因为 L_s 不仅会影响功率环路，还会影响栅极环路。 L_s 不平衡可通过以下方式解决：采用对称布局设计并添加铁氧体磁珠或 CMC。添加铁氧体磁珠可以解决 L_s 不平衡问题，但效果不如 CMC 显著。此外，与 CMC 相比，铁氧体磁珠会降低器件速度，增加开关损耗。因此，我们建议在实际并联应用中采用 CMC 结合对称布局设计方案。

在实现 L_d 和 L_s 的平衡后，图 26 展示了由 C_d 不平衡引起的动态电流失配现象（本案例中仍使用铁氧体

磁珠）。通过对比图 26 和图 27 可以看出，在栅极环路中使用 CMC 相较于使用铁氧体磁珠，可以更有效地平衡电流失配和 V_{gs} 电压。同样，与 CMC 相比，铁氧体磁珠会减慢器件的速度，增加开关损耗。但有一点我们需要注意：CMC 只能消除 V_{gs} 电压失配，但不能消除电流失配。对于电流失配，CMC 仅能起到缓解作用。因此，如图 28 所示，若要彻底消除电流失配，唯一有效的方法是将 C_d 尽可能靠近并联半桥并实现对称布局。基于上述分析，我们再次建议在实际并联应用场景中使用 CMC，并采用对称布局设计。

设计和测试中的最佳实践

- 成功并联 SiC FET 需要器件缓冲电路，如图 29 所示。[用户指南](#) 中推荐了起始值。

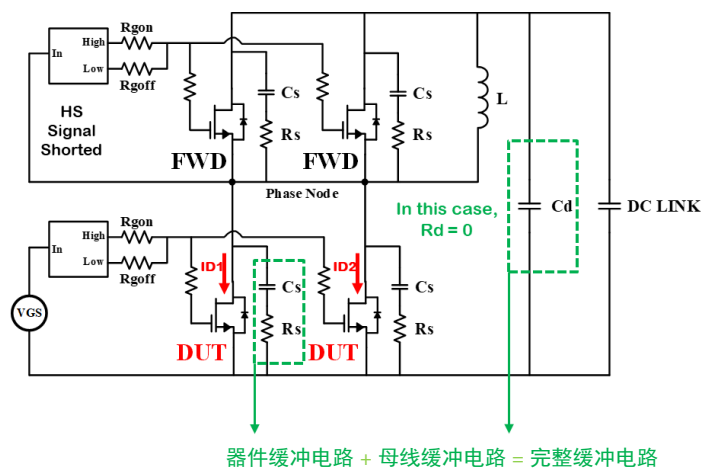


图 29. 成功并联 SiC FET 需要器件漏极至源极缓冲电路和母线缓冲电路

- 对称布局至关重要，测试证实，不对称的漏极和源极杂散电感以及去耦电容的位置会导致开关电流差异过大。
- 如果栅极阈值的微小失配和微小的不对称布局不可避免，那么栅极和源极回路上的 CMC 是消除瞬态电流失配或瞬态振荡的最有效方法。
- 不推荐使用铁氧体磁芯（环形）电流互感器（CT），因为它会由于引线与磁芯之间的互感而导致不平衡的漏极杂散电感。应使用罗氏线圈探头进行电流测量，如图 30 所示。

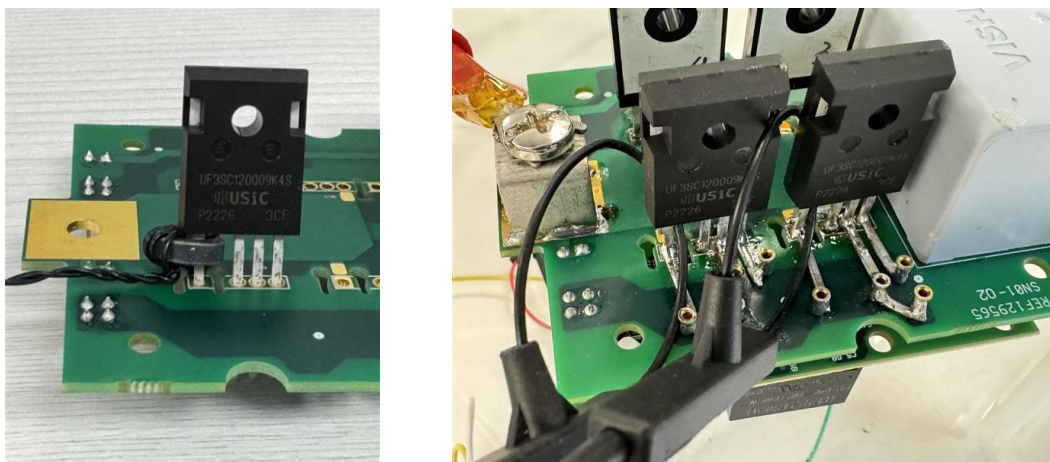


图 30. 电流测量方法，左：铁氧体磁芯 CT（不推荐）；右：罗氏线圈探头

- 对于电压测量，不推荐使用差分探头，因为其引线和导线的环路较大(会增加环路电感)，建议使用环路电感较小的无源探头，如图 31 所示。

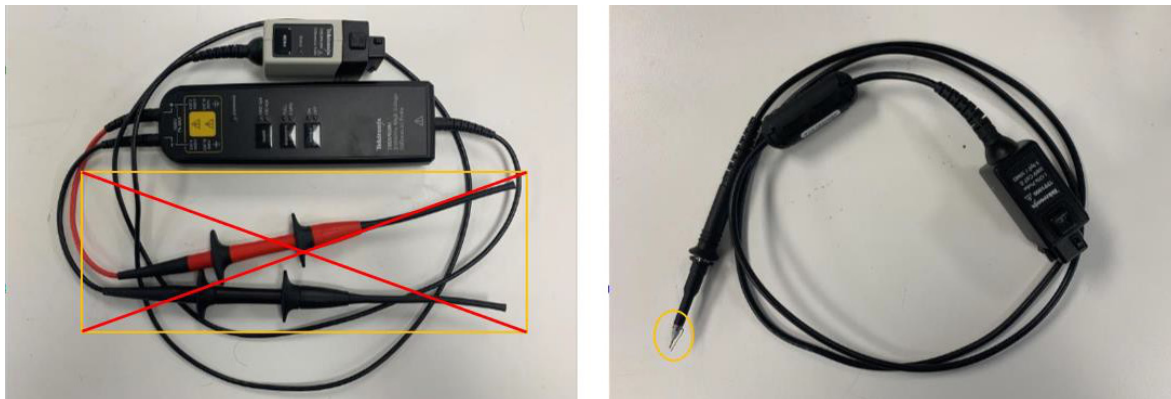


图 31. 电压探头，左：差分探头 (不推荐使用)；右：环路电感较小的无源探头

- 由于 dv/dt 很高，共模噪声很容易耦合到栅极到源极的信号测量中，滤除这种噪声的一种方法是在电压探头线缆上添加铁氧体磁芯，并扭转这些线缆，如图 32 所示。



图 32. 将线缆扭转，并使用铁氧体磁芯过滤共模栅源噪声

结语

尽管 SiC JFET cascode 结构具有很高的增益和开关压摆率，只要遵循本应用笔记中概述的指导原则，就能成功实现并联。本文虽然只讨论了两个器件并联的情况，但这些并联准则适用于任何数量的器件并联。最后，这些指导原则不仅适用于 cascode，也适用于任何其他类型的电压栅控功率晶体管。

对于需要并联两个以上分立器件、要求低 dv/dt 且不需要器件 RC 缓冲电路的大功率逆变器等应用，安森美建议使用 Combo-FET 器件。

修订历史

修订	变更说明	日期
3	更新第1页中文版本的标题及部分文字内容。 添加修订记录表。	6/4/2025

onsemi, Onsemi, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "onsemi" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marketing.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales