



STM32F101x6

STM32F101x8 STM32F101xB

基本型， 32位基于ARM核心的带闪存微控制器
6个16位定时器、ADC、7个通信接口

功能

■ 核心

- ARM 32 位的 Cortex-M3™CPU
- 36MHz, 1.25DMIPS/MHz(Dhrystone2.1)
0 等待的存储器访问
- 单周期乘法和硬件除法

■ 存储器

- 从 32K 字节至 128K 字节闪存程序存储器
- 从 6K 字节至 16K 字节 SRAM

■ 时钟、复位和供电管理

- 2.0 至 3.6 伏供电和 I/O 管脚
- 上电 / 断电复位(POR / PDR)、可编程电压监测器(PVD)
- 内嵌 4 至 16MHz 高速晶体振荡器
- 内嵌经出厂调校的 8MHz RC 振荡器
- 内部 40kHz 的 RC 振荡器
- PLL 供应 CPU 时钟
- 带校准的 32kHz RTC 振荡器

■ 低功耗

- 睡眠、停机和待机模式
- V_{BAT} 为 RTC 和后备寄存器供电

■ 调试模式

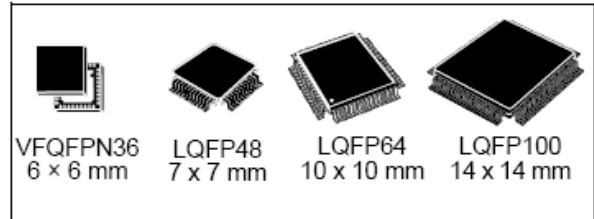
- 串行线调试(SWD)和JTAG调试接口

■ DMA

- 7 通道 DMA 控制器
- 支持的外设: 定时器、ADC、SPI、I²C 和 USART

■ 1 个 12 位模数转换器, 1 μ s 转换时间(16 通道)

- 转换范围是 0 至 3.6V
- 温度传感器



■ 多达 80 个快速 I/O 口

- 26/37/51/80 个多功能双向 5V 兼容的 I/O 口
- 所有 I/O 口可以映像到 16 个外部中断

■ 多达 6 个定时器

- 多达 3 个 16 位定时器, 每个定时器有多达 4 个用于输入捕获 / 输出比较 / PWM 或脉冲计数的通道
- 2 个 16 位看门狗定时器(独立的和窗口型的)
- 系统时间定时器: 24 位自减型

■ 多达 7 个通信接口

- 多达 2 个 I2C 接口(SMBus/PMBus)
- 多达 3 个 USART 接口, 支持 ISO7816, LIN, IrDA 接口和调制解调控制
- 多达 2 个 SPI 同步串行接口(18 兆位/秒)

■ ECOPACK®封装

表一 器件列表

参考	基本型号
STM32F101x6	STM32F101C6, STM32F101R6, STM32F101T6
STM32F101x8	STM32F101C8, STM32F101R8, STM32F101V8, STM32F101T6,
STM32F101xB	STM32F101RB, STM32F101VB, STM32F101CB

1	介绍	3
2	规格说明	3
2.1	器件一览	4
2.2	概述	4
3	管脚定义	10
4	存储器映像	17
5	电器特性	18
6	封装参数	18
7	订货代码	18
7.1	后续的产品系列	19
8	版本历史	19
附录A	重要提示.....	20
A.1	PD0和PD1在输出模式下	20
A.2	ADC自动注入通道	20
A.3	ADC的混合同步注入+交替模式.....	20
A.4	ADC通道0	20

1 介绍

本文给出了STM32F101xx基本型的订购信息和器件的机械特性。

有关闪存存储器的编程、擦除和保护等信息，请参考《STM32F10x闪存编程手册》。

有关Cortex-M3的信息，请参考《Cortex-M3技术参考手册》

2 规格说明

STM32F101xx基本型系列使用高性能的ARM Cortex-M3 32位的RISC内核，工作频率为36MHz，内置高速存储器(高达128K字节的闪存和16K字节的SRAM)，丰富的增强型外设和I/O端口联接到两条APB总线。所有型号的器件都包含1个12位的ADC和3个通用16位定时器，还包含标准的通信接口：2个I2C、2个SPI和3个USART。

STM32F101xx基本型系列工作于-40°C至+85°C的温度范围，2.0V至3.6V的工作电压，一系列的省电模式满足低功耗应用的需求。

完整的STM32F101xx基本型系列产品包括从36脚至100脚的三种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得STM32F101xx基本型系列微控制器适用于多种应用场合：

- 应用控制和用户界面
- 医疗和手持设备
- PC外设，游戏和GPS平台
- 工业应用：可编程逻辑控制器、变频器、打印机和扫描仪
- 报警系统，视频对讲，和暖气通风空调系统

0给出了该产品系列的框图。



2.1 器件一览

表二 器件功能和配置 (STM32F101xx基本型)

外设		STM32F101Tx		STM32F101Cx			STM32F101Rx			STM32F101Vx	
闪存(K 字节)		32	64	32	64	128	32	64	128	64	128
RAM(K 字节)		6	10	6	10	16	6	10	16	10	16
定时器	通用	2	3	2	3	3	2	3	3	3	
通信	SPI	1	1	1	2	2	1	2	2	2	
	I2C	1	1	1	2	2	1	2	2	2	
	USART	2	2	2	3	3	2	3	3	3	
12 位同步 ADC 通道数		1 10 通道		1 10 通道			1 16 通道			1 16 通道	
GPIO		26		37			51			80	
CPU 频率		36MHz									
工作电压		2.0 至 3.6V									
工作温度		-40 至 +85° C									
封装		VFQFPN36		LQFP48			LQFP64			LQFP100	

2.2 概述

使用ARM®的Cortex™-M3内核并内嵌闪存和SRAM

ARM的Cortex-M3处理器是最新一代的嵌入式ARM处理器，它为实现MCU的需要提供了低成本的平台、缩减的管脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex-M3是32位的RISC处理器，提供额外的代码效率，在通常8和16位系统的存储空间上得到了ARM内核的高性能。

STM32F101xx基本型系列拥有内置的ARM核心，因此它与所有的ARM工具和软件兼容。

内置闪存存储器

高达128K字节的内置闪存存储器，用于存放程序和数据。

内置SRAM

多达16K字节的内置SRAM，CPU能以0等待周期访问(读/写)。

嵌套的向量式中断控制器(NVIC)

STM32F101xx基本型内置嵌套的向量式中断控制器，能够处理多达43个可屏蔽中断通道(不包括16个Cortex-M3的中断线)和16个优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理

- 中断向量入口地址直接进入核心
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。

每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2时钟周期的外部信号。多达80个通用I/O口连接到16个外部中断线。

时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部的、具失效监控的4~16MHz时钟；当外部时钟失效时，它将被隔离，同时会产生相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个外接的振荡器失效时)。

具有多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB和APB的最高频率是36MHz。

自举模式

在启动时，自举管脚被用于选择三种自举模式中的一种：

- 从用户闪存自举
- 从系统存储器自举
- 从SRAM自举

自举加载器存放于系统存储器中，可以通过USART对闪存重新编程。详细信息请参考AN2606。

供电方案

- $V_{DD} = 2.0$ 至 $3.6V$ ： V_{DD} 管脚提供I/O管脚和内部调压器的供电。
- V_{SSA} ， $V_{DDA} = 2.0$ 至 $3.6V$ ：为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。使用ADC时， V_{DD} 不得小于 $2.4V$ 。
- $V_{BAT} = 1.8$ 至 $3.6V$ ：当(通过电源开关)关闭 V_{DD} 时，为RTC、外部32kHz振荡器和后备寄存器供电。

供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2V时工作；当 V_{DD} 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 V_{DD} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。需要通过程序开启PVD。

有关 $V_{POR/PDR}$ 和 V_{PVD} 数值，请参考表九“内置复位和电源控制模块特性”。

电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

低功耗模式

STM32F101xx基本型支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- **睡眠模式**
在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。
- **停机模式**
在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.8V部分的供电，PLL、HSI和HSE的RC振荡器被关闭，调压器可以被置于普通模式或低功耗模式。
可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出、RTC闹钟或USB的唤醒信号。
- **待机模式**
在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.8V部分的供电被切断；PLL、HSI和HSE的RC振荡器也被关闭；进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。
从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP管脚上的一个上升沿或RTC的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。

DMA

灵活的7路通用DMA可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI、I2C、USART、通用定时器TIMx和ADC。

RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在 V_{DD} 有效时该开关选择 V_{DD} 供电，否则由 V_{BAT} 管脚供电。后备寄存器(10个16位的寄存器)可以用于在 V_{DD} 消失时保存数据。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，RTC的校准是通过输出一个512Hz的信号进行。RTC具有一个32位的可编程计数器，使用比较寄存器可以产生闹钟信号。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时它将产生一个1秒长的时间基准。

独立的看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个独立的40kHz的内部RC振荡器提供时钟，应为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选择字节可以配置成是软件看门狗或硬件看门狗。在调试模式，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式，计数器可以被冻结。

系统时基定时器

这个定时器是专用于操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 重加载功能
- 当计数器为0时能产生一个可屏蔽中断
- 可编程时钟源

通用定时器(TIMx)

STM32F101xx基本型系列产品中内置了多达3个同步的标准定时器。每个定时器都有一个16位的自动加载递增/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多12个输入捕获、输出比较或PWM通道。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结。

任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

I²C总线

多达2个I²C总线接口，能够工作于多主和从模式，支持标准和快速模式。

它们支持双从地址寻址(只有7位)和主模式下的7/10位寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SM总线2.0版/PM总线

通用同步/异步接受发送器(USART)

USART接口通信速率可达2.25兆位/秒，并具有硬件的CTS和RTS信号管理、支持IrDA的SIR ENDEC、与ISO7816兼容并具有LIN主/从功能。

USART接口可以使用DMA操作。

串行外设接口(SPI)

多达2个SPI接口，在从或主模式下，全双工和半双工的通信速率可达18兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡和MMC模式。

2个SPI接口都可以使用DMA操作。

通用输入输出接口(GPIO)

每个GPIO管脚都可以由软件配置成输出(推拉或开路)、输入(带或不带上拉或下拉)或其它的外设功能；多数GPIO管脚都与数字或模拟的外设功能管脚共用。所有的GPIO管脚都有大电流通过能力。

在需要的情况下，I/O管脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。

ADC(模拟/数字转换器)

12位的模拟/数字转换器(ADC)有多达16个外部通道，可以执行单次或扫描转换模式；在扫描模式下，转换在一组选定的模拟输入上自动进行。

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的被转换电压，当被监视的信号超出预置的阈值时，将产生中断。

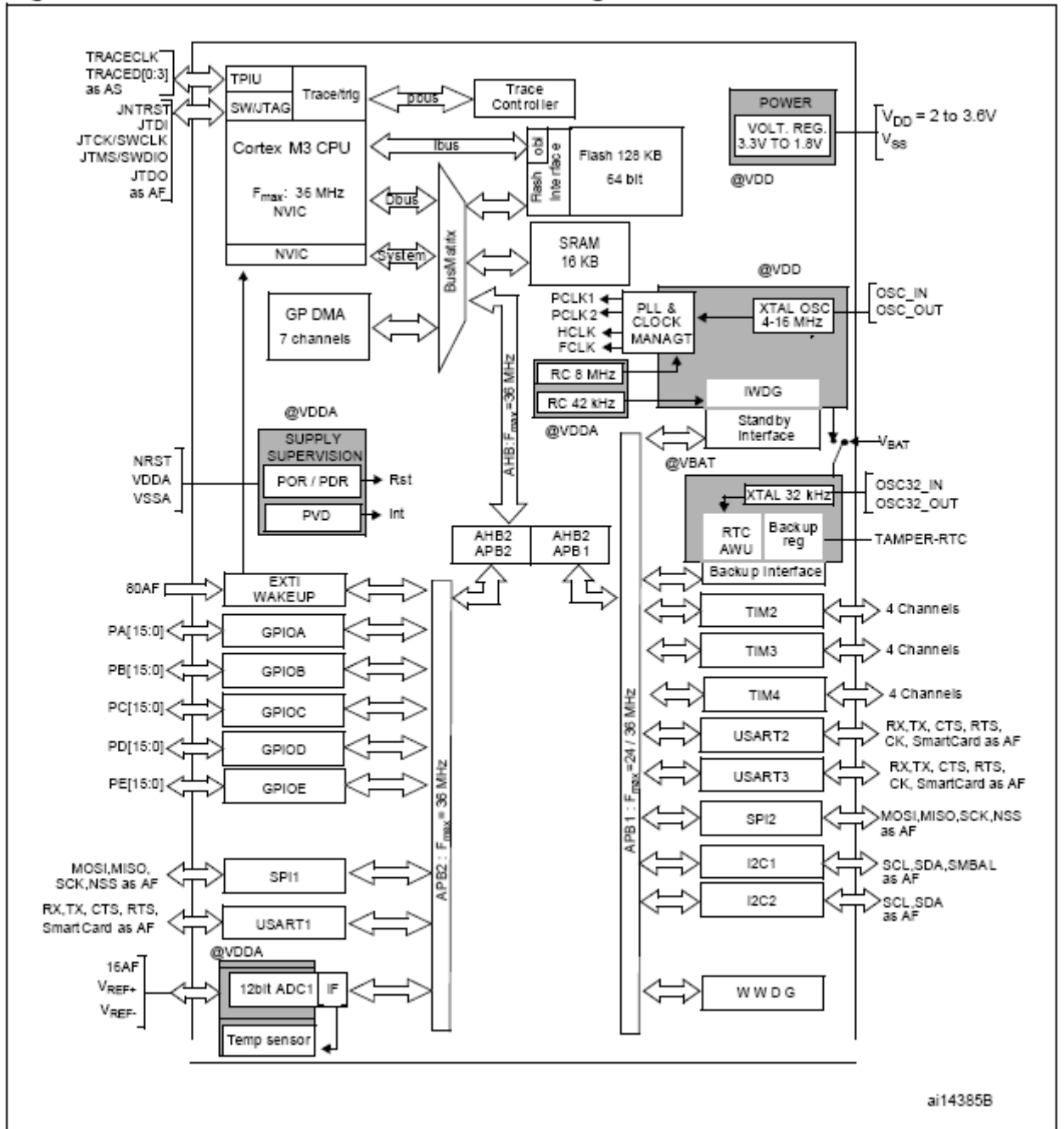
温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < VDDA < 3.6V$ 之间。温度传感器在内部被连接到ADC_IN16的输入通道上，用于将传感器的输出转换到数字数值。

串行线JTAG调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口和JTAG接口，JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用管脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SWJ-DP间切换。

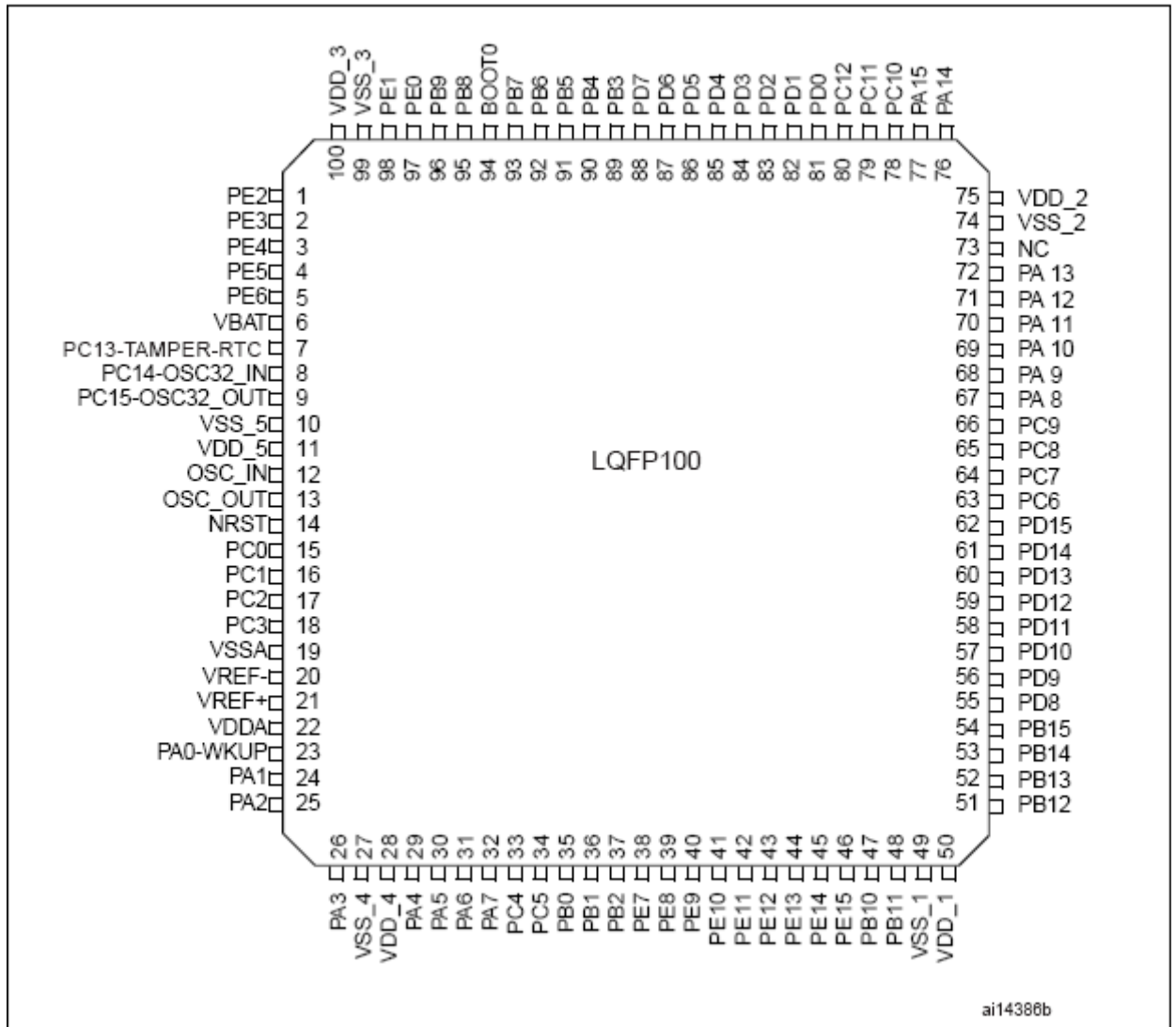
图一 STM32F101基本型模块框图



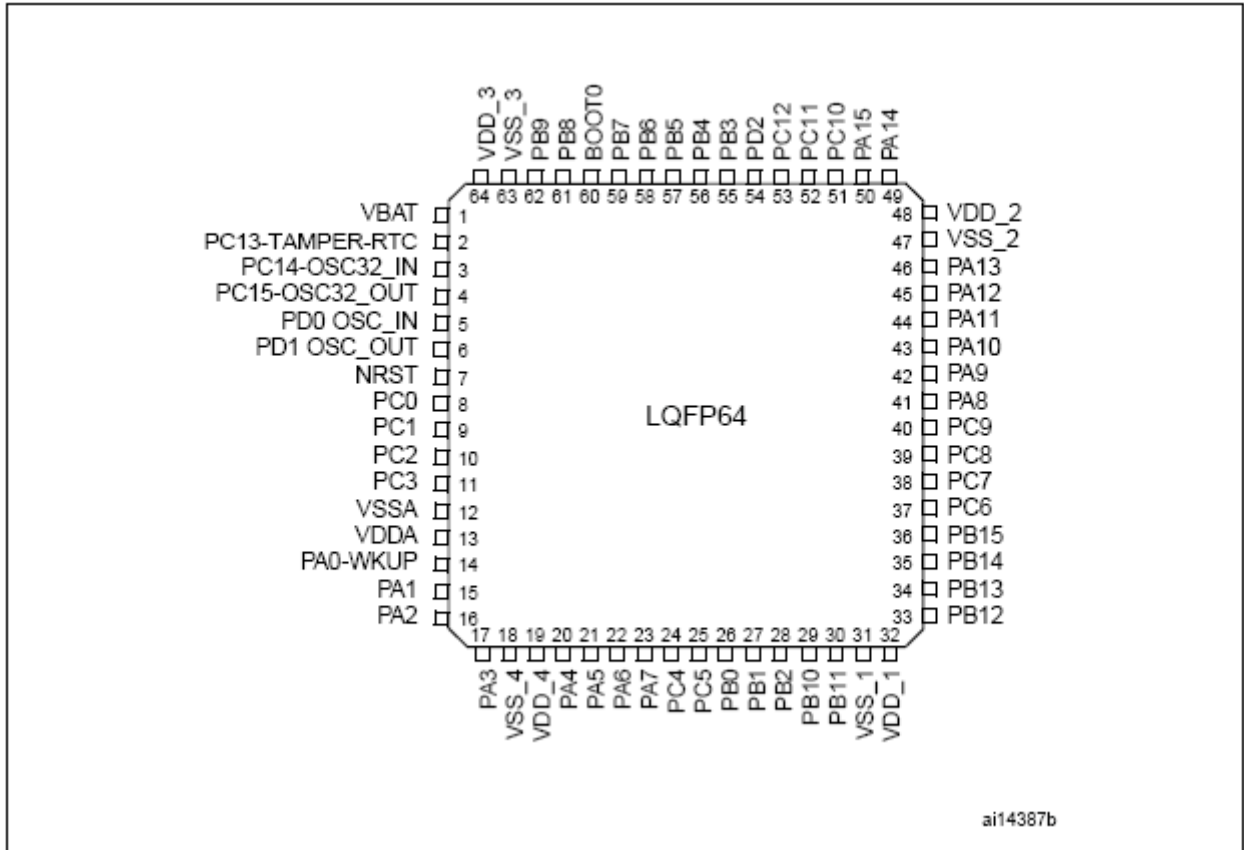
1. AF: 可作为外设功能脚的I/O口
2. 工作温度: -40至+85°C (结温达125°C)

3 管脚定义

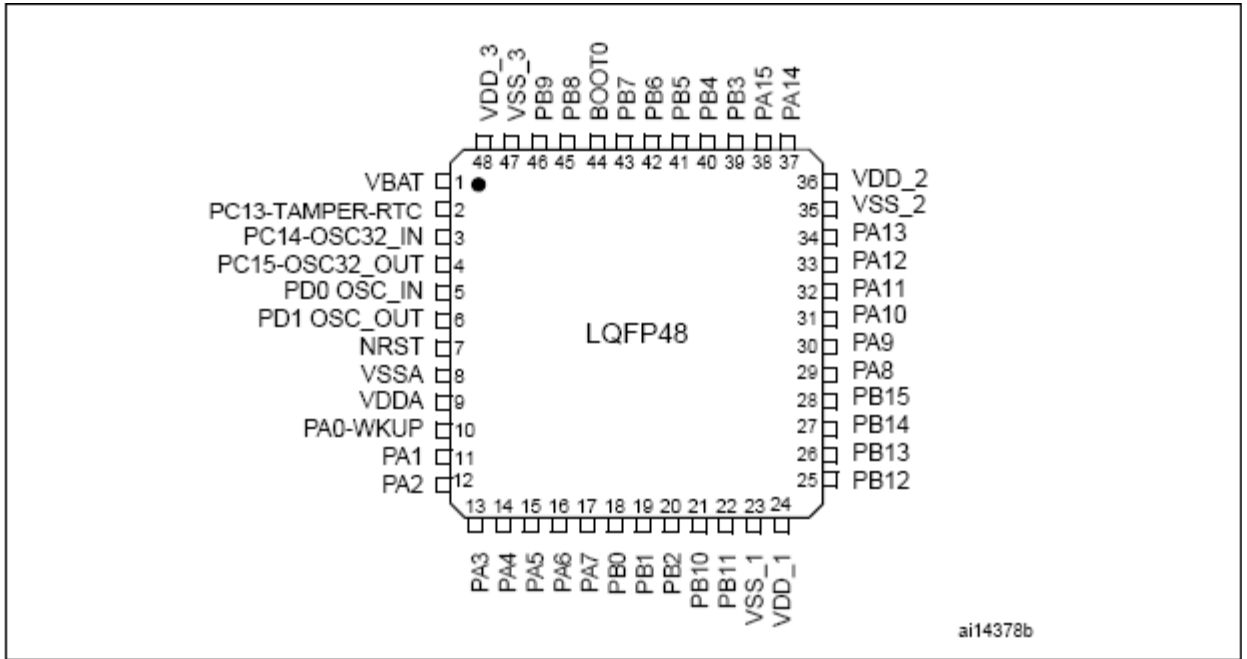
图二 STM32F101xx基本型LQFP100管脚



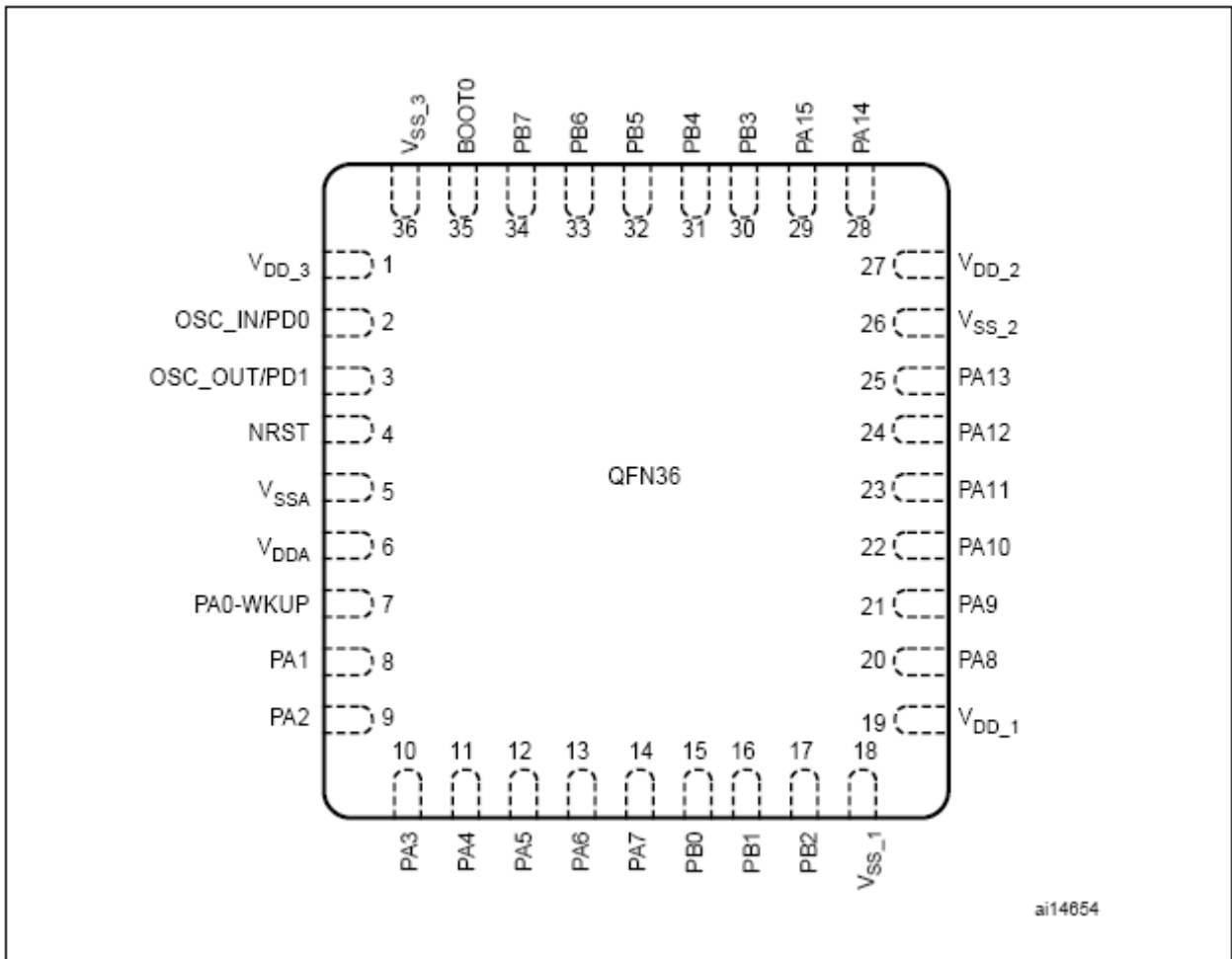
图三 STM32F101xx基本型VFQFPN64管脚



图四 STM32F101xx基本型LQFP48管脚



图五 STM32F101xx基本型VFQFPN36管脚



表三 管脚定义

脚位				管脚名称	类型 (1)	I/O 电平(2)	主功能 (3) (复位后)	可选功能	
LQFP48	LQFP64	LQFP100	VQFPN36					默认功能	重定义功能
-	-	1	-	PE2	I/O	FT	PE2	TRACECLK	
-	-	2	-	PE3	I/O	FT	PE3	TRACED0	
-	-	3	-	PE4	I/O	FT	PE4	TRACED1	
-	-	4	-	PE5	I/O	FT	PE5	TRACED2	
-	-	5	-	PE6	I/O	FT	PE6	TRACED3	
1	1	6	-	VBAT	S		VBAT		
2	2	7	-	PC13- ANTI_TAMP(4)	I/O		PC13(5)	TAMPER-RTC	
3	3	8	-	PC14- OSC32_IN(4)	I/O		PC14(5)	OSC32_IN	
4	4	9	-	PC15- OSC32_OUT(4)	I/O		PC15(5)	OSC32_OUT	
-	-	10	-	VSS_5	S		VSS_5		
-	-	11	-	VDD_5	S		VDD_5		
5	5	12	2	OSC_IN	I		OSC_IN		
6	6	13	3	OSC_OUT	O		OSC_OUT		
7	7	14	4	NRST	I/O		NRST		
-	8	15	-	PC0	I/O		PC0	ADC_IN10	
-	9	16	-	PC1	I/O		PC1	ADC_IN11	
-	10	17	-	PC2	I/O		PC2	ADC_IN12	
-	11	18	-	PC3	I/O		PC3	ADC_IN13	
8	12	19	5	VSSA	S		VSSA		
-	-	20	-	VREF-	S		VREF-		
-	-	21	-	VREF+	S		VREF+		
9	13	22	6	VDDA	S		VDDA		
10	14	23	7	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS(8)/ADC_IN0/TIM2_CH1_ETR(8)	
11	15	24	8	PA1	I/O		PA1	USART2_RTS(8)/ADC_IN1/TIM2_CH2(8)	
12	16	25	9	PA2	I/O		PA2	USART2_TX(8)/ADC_IN2/TIM2_CH3(8)	
13	17	26	10	PA3	I/O		PA3	USART2_RX(8)/ADC_IN3/TIM2_CH4(8)	
-	18	27	-	VSS_4	S		VSS_4		

表三 管脚定义 (续)

脚位				管脚名称	类型 (1)	I/O 电平(2)	主功能 (3) (复位后)	可选功能	
LQFP48	LQFP64	LQFP100	VQFPN36					默认功能	重定义功能
-	19	28	-	VDD_4	S		VDD_4		
14	20	29	11	PA4	I/O		PA4	SPI1_NSS/ADC_IN4/U SART2_CK(5)	
15	21	30	12	PA5	I/O		PA5	SPI1_SCK/ADC_IN5	
16	22	31	13	PA6	I/O		PA6	SPI1_MISO/ADC_IN6/ TIM3_CH1(8)	
17	23	32	14	PA7	I/O		PA7	SPI1_MOSI/ADC_IN7/ TIM3_CH2(8)	
-	24	33	-	PC4	I/O		PC4	ADC_IN14	
-	25	34	-	PC5	I/O		PC5	ADC_15	
18	26	35	15	PB0	I/O		PB0	ADC_IN8/TIM3_CH3(8)	
19	27	36	16	PB1	I/O		PB1	ADC_IN9/TIM3_CH4(8)	
20	28	37	17	PB2/BOOT1	I/O	FT	PB2/BOO T1		
-	-	38	-	PE7	I/O	FT	PE7		
-	-	39	-	PE8	I/O	FT	PE8		
-	-	40	-	PE9	I/O	FT	PE9		
-	-	41	-	PE10	I/O	FT	PE10		
-	-	42	-	PE11	I/O	FT	PE11		
-	-	43	-	PE12	I/O	FT	PE12		
-	-	44	-	PE13	I/O	FT	PE13		
-	-	45	-	PE14	I/O	FT	PE14		
-	-	46	-	PE15	I/O	FT	PE15		
21	29	47	-	PB10	I/O	FT	PB10	I2C2_SCL(6)/USART3 _TX(6)(8)	TIM2_CH3
22	30	48	-	PB11	I/O	FT	PB11	I2C2- SDA(6)/USART3_RX(6) (8)	TIM2_CH4
23	31	49	18	VSS_1	S		VSS_1		
24	32	50	19	VDD_1	S		VDD_1		
25	33	51	-	PB12	I/O	FT	PB12	SPI2_NSS(6)(8)/I2C2_ SMBAL(6)/USART3_CK (6)(8)	
26	34	52	-	PB13	I/O	FT	PB13	SPI2_SCK(6)(8)/USAR T3_CTS(6)(8)	
27	35	53	-	PB14	I/O	FT	PB14	SPI2_MISO(6)(8)/USA RT3_RTS(6)(8)	

表三 管脚定义 (续)

脚位				管脚名称	类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选功能		
LQFP48	LQFP64	LQFP100	VQFPN36					默认功能	重定义功能	
28	36	54	-	PB15	I/O	FT	PB15	SPI2_MOSI(6)(8)		
-	-	55	-	PD8	I/O	FT	PD8		USART3_TX	
-	-	56	-	PD9	I/O	FT	PD9		USART3_RX	
-	-	57	-	PD10	I/O	FT	PD10		USART3_CK	
-	-	58	-	PD11	I/O	FT	PD11		USART3_CTS	
-	-	59	-	PD12	I/O	FT	PD12		TIM4_CH1/USART3_RTS	
-	-	60	-	PD13	I/O	FT	PD13		TIM4_CH2	
-	-	61	-	PD14	I/O	FT	PD14		TIM4_CH3	
-	-	62	-	PD15	I/O	FT	PD15		TIM4_CH4	
-	37	63	-	PC6	I/O	FT	PC6		TIM3_CH1	
-	38	64	-	PC7	I/O	FT	PC7		TIM3_CH2	
-	39	65	-	PC8	I/O	FT	PC8		TIM3_CH3	
-	40	66	-	PC9	I/O	FT	PC9		TIM3_CH4	
29	41	67	20	PA8	I/O	FT	PA8	USART1_CK/MCO		
30	42	68	21	PA9	I/O	FT	PA9	USART1_TX(8)		
31	43	69	22	PA10	I/O	FT	PA10	USART1_RX(8)		
32	44	70	23	PA11	I/O	FT	PA11	USART1_CTS		
33	45	71	24	PA12	I/O	FT	PA12	USART1_RTS		
34	46	72	25	PA13/JTMS/SWDIO	I/O	FT	JTMS-SWDIO	PA13		
-	-	73	-	未联接						
35	47	74	26	Vss_2	S		Vss_2			
36	48	75	27	VDD_2	S		VDD_2			
37	49	76	28	PA14/JTCK/SWCLK	I/O	FT	JTCK/SWCLK	PA14		
38	50	77	29	PA15/JTDI	I/O	FT	JTDI	PA15	TIM2_CH1_ETR/SPI1_NSS	
-	51	78	-	PC10	I/O	FT	PC10		USART3_TX	
-	52	79	-	PC11	I/O	FT	PC11		USART3_RX	
-	53	80	-	PC12	I/O	FT	PC12		USART3_CK	
5	5	81	2	PD0	I/O	FT	OSC_IN(7)			
6	6	82	3	PD1	I/O	FT	OSC_OUT(7)			
-	54	83	-	PD2	I/O	FT	PD2	TIM3_ETR		
-	-	84	-	PD3	I/O	FT	PD3		USART2_CTS	

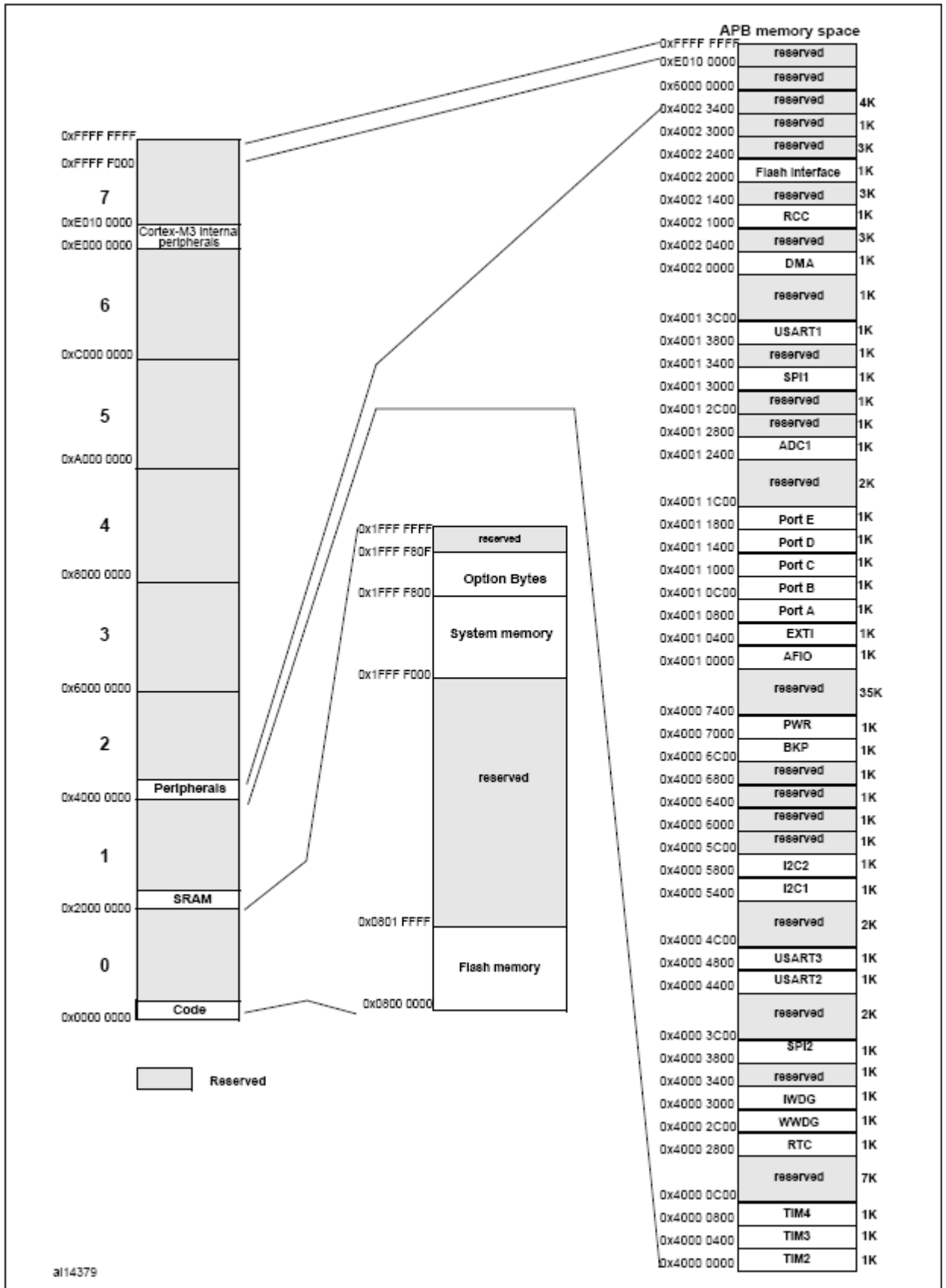
表三 管脚定义 (续)

脚位				管脚名称	类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选功能	
LQFP48	LQFP64	LQFP100	VFQFPN36					默认功能	重定义功能
-	-	85	-	PD4	I/O	FT	PD4		USART2_RTS
-	-	86	-	PD5	I/O	FT	PD5		USART2_TX
-	-	87	-	PD6	I/O	FT	PD6		USART2_RX
-	-	88	-	PD7	I/O	FT	PD7		USART2_CK
39	55	89	30	PB3/JTDO	I/O	FT	JTDO	PB3/TRACESWO	TIM2_CH2/SPI1_SCK
40	56	90	31	PB4/JNTRST	I/O	FT	JNTRST	PB4	TIM3_CH1/SPI1_MISO
41	57	91	32	PB5	I/O	FT	PB5	I2C1_SMBAL	TIM3_CH2/SPI1_MOSI
42	58	92	33	PB6	I/O	FT	PB6	I2C1_SCL(8)/TIM4_CH1(6)(8)	USART1_TX
43	59	93	34	PB7	I/O	FT	PB7	I2C1_SDA(8)/TIM4_CH2(6)(8)	
44	60	94	35	BOOT0	I	FT	BOOT0		
45	61	95	-	PB8	I/O	FT	PB8	TIM4_CH3(6)(8)	I2C1_SCL
46	62	96	-	PB9	I/O	FT	PB9	TIM4_CH4(6)(8)	I2C1_SDA
-	-	97	-	PE0	I/O	FT	PE0	TIM4_ETR(6)	
-	-	98	-	PE1	I/O	FT	PE1		
47	63	99	36	VSS_3	S		VSS_3		
48	64	100	1	VDD_3	S		VDD_3		

1. I: 输入, O: 输出, S: 电源, HiZ: 高阻
2. FT: 兼容5V
3. 有些功能仅在部分型号芯片中支持。外设的标号遵循由低到高的顺序, 例如某个型号的芯片内嵌1个SPI和2个USARTS功能, 这些外设分别被称为SPI1, USART1和USART2。具体信息请参考表2。
4. PC13, PC14和PC15引脚通过电源开关进行供电, 因此这三个引脚作为输出引脚时有以下限制:
作为输出脚时只能工作在2MHz模式下
最大驱动负载为30pF
同一时间, 三个引脚中只有一个引脚能作为输出引脚。
5. 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态仍由备份区域寄存器控制(这些寄存器不会被复位)。关于如何控制这些IO口的具体信息, 请参考STM32F10xxx参考手册的电池备份区域和BKP寄存器的相关章节。
6. 仅在内嵌大等于64K Flash的型号中支持此类功能。
7. VFQFPN36封装的2号, 3号引脚和LQFP48, LQFP64封装的5号, 6号引脚在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能脚。但对于LQFP100封装, 由于PD0和PD1为固有的功能脚, 因此没有必要再由软件进行设置。更多详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。PD0和PD1作为输出引脚只能工作在50MHz模式下。
8. 此类复用功能能够由软件配置到其他引脚上, 详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。

4 存储器映像

图六 存储器映像图



5 电器特性

请参考英文版数据手册

6 封装参数

请参考英文版数据手册

7 订货代码

订货代码信息图示



7.1 后续的产品系列

后续的STM32F101xx基本型系列产品将会有更广泛的型号选择，芯片将会有更大的封装尺寸并内嵌多达512KB的Flash和48KB的SRAM。同时，后续产品会提供FSMC，DAC和更多的定时器和USARTS接口功能。

8 版本历史

请参考英文版数据手册

附录A 重要提示

附录所列的提示，仅对STM32F101xx基本型系列芯片的Z版本有效，关于芯片版本号的具体信息，请参考STM32F10xxx参考手册的20.6.1章节。

A.1 PD0和PD1在输出模式下

由于PD0和PD1仅工作在50MHz模式下，因此这两个引脚在用作输出模式时是限制的。

A.2 ADC自动注入通道

当ADC时钟使用4或8的预分频时，从普通模式转到注入转换时会自动插入一个ADC时钟的延迟，当ADC使用2预分频的时钟时，插入的延迟为2个ADC时钟。

A.3 ADC的混合同步注入+交替模式

当ADC使用4预分频的时钟时，交替采样的时间间隔并不平均，也就是说采样的间隔并不是标准的7个ADC时钟，而是8个ADC时钟和6个ADC时钟交替。

A.4 ADC通道0

当ADC处于注入触发模式时，在某些特殊情况下，ADC通道0会产生一个低幅度的脉冲尖峰信号。

此脉冲由内部耦合器产生，与正在使用哪个ADC注入通道无关，在普通模式和注入模式切换时产生，并同步到注入序列的开头。

此脉冲的幅度小于150mV，持续时间的典型值为10ns。当数字输入和输出信号的负载低于5k Ω 时，不会产生影响。